

	MACROPROCESO DE APOYO	CÓDIGO: AAAR113
	PROCESO GESTIÓN APOYO ACADÉMICO	VERSIÓN: 3
	DESCRIPCIÓN, AUTORIZACIÓN Y LICENCIA DEL REPOSITORIO INSTITUCIONAL	VIGENCIA: 2017-11-16
		PAGINA: 1 de 7

21.1

FECHA	lunes, 14 de diciembre de 2020
--------------	--------------------------------

Señores
UNIVERSIDAD DE CUNDINAMARCA
 BIBLIOTECA
 Fusagasuga

UNIDAD REGIONAL	Sede Fusagasugá
------------------------	-----------------

TIPO DE DOCUMENTO	Trabajo De Grado
--------------------------	------------------

FACULTAD	Ingeniería
-----------------	------------

NIVEL ACADÉMICO DE FORMACIÓN O PROCESO	Pregrado
---	----------

PROGRAMA ACADÉMICO	Ingeniería Electrónica
---------------------------	-------------------------------

El Autor(Es):

APELLIDOS COMPLETOS	NOMBRES COMPLETOS	No. DOCUMENTO DE IDENTIFICACIÓN
Escobar Ortiz	Edwin Sneider	1069734614

Diagonal 18 No. 20-29 Fusagasugá – Cundinamarca
 Teléfono (091) 8281483 Línea Gratuita 018000976000
 www.ucundinamarca.edu.co E-mail: info@ucundinamarca.edu.co
 NIT: 890.680.062-2

*Documento controlado por el Sistema de Gestión de la Calidad
 Asegúrese que corresponde a la última versión consultando el Portal Institucional*

	MACROPROCESO DE APOYO	CÓDIGO: AAAR113
	PROCESO GESTIÓN APOYO ACADÉMICO	VERSIÓN: 3
	DESCRIPCIÓN, AUTORIZACIÓN Y LICENCIA DEL REPOSITORIO INSTITUCIONAL	VIGENCIA: 2017-11-16
		PAGINA: 2 de 7

Director(Es) y/o Asesor(Es) del documento:

APELLIDOS COMPLETOS	NOMBRES COMPLETOS
Guerrero Guerrero	Andrés Felipe

TÍTULO DEL DOCUMENTO
Diseño e implementación de un algoritmo de sincronización para la supresión de armónicos en redes de distribución

SUBTÍTULO (Aplica solo para Tesis, Artículos Científicos, Disertaciones, Objetos Virtuales de Aprendizaje)

TRABAJO PARA OPTAR AL TÍTULO DE: Aplica para Tesis/Trabajo de Grado/Pasantía
Ingeniero Electrónico

AÑO DE EDICIÓN DEL DOCUMENTO	NÚMERO DE PÁGINAS
14/12/2020	68

DESCRIPTORES O PALABRAS CLAVES EN ESPAÑOL E INGLÉS (Usar 6 descriptores o palabras claves)	
ESPAÑOL	INGLÉS
1. Algoritmo	Algorithm
2. Sincronización	synchronization
3. Armónicos	Harmonics
4. Distribución	Distribution
5. Red	Grid
6. Energías renovables	Renewable energy

Diagonal 18 No. 20-29 Fusagasugá – Cundinamarca
Teléfono (091) 8281483 Línea Gratuita 018000976000
www.ucundinamarca.edu.co E-mail: info@ucundinamarca.edu.co
NIT: 890.680.062-2

*Documento controlado por el Sistema de Gestión de la Calidad
Asegúrese que corresponde a la última versión consultando el Portal Institucional*



MACROPROCESO DE APOYO	CÓDIGO: AAAr113
PROCESO GESTIÓN APOYO ACADÉMICO	VERSIÓN: 3
DESCRIPCIÓN, AUTORIZACIÓN Y LICENCIA DEL REPOSITORIO INSTITUCIONAL	VIGENCIA: 2017-11-16
	PAGINA: 3 de 7

RESUMEN DEL CONTENIDO EN ESPAÑOL E INGLÉS

(Máximo 250 palabras – 1530 caracteres, aplica para resumen en español):

Este documento expone el proceso realizado en el diseño de un algoritmo PLL (Phase locked loop) para la supresión de armónicos de corriente presentes en redes de distribución debido a la presencia de cargas no lineales. La presencia de armónicos en estas redes puede causar algunos problemas como: sobrecalentamiento de conductores, disminución de la vida útil de los dispositivos e interferir en la etapa de sincronización.

El diseño del algoritmo PLL se realizó teniendo en cuenta los parámetros de tensión y frecuencia típicos en las redes monofásicas residenciales. El inversor es diseñado para que trabaje como un filtro activo de potencia en paralelo (Shunt), permitiendo así la supresión de armónicos de corriente en la red. El dimensionamiento es calculado teniendo como requerimiento compensar los armónicos generados por la carga no lineal.

La implementación del algoritmo se ejecuta sobre una tarjeta de desarrollo seleccionada de acuerdo con unos requisitos funcionales establecidos. Usando la técnica "Processor in the loop" y la herramienta "Simulink" se presentan diferentes casos de estudio, en los cuales se somete al algoritmo diseñado e implementado en la tarjeta de desarrollo ante diferentes perturbaciones presentes en redes.

Los resultados obtenidos en los casos de estudio son presentados y analizados, evaluando el comportamiento transitorio, el tiempo de estabilización y la calidad en la forma de onda de la corriente.

This document describes the process carried out for the design of a PLL (Phase locked loop) algorithm for the mitigation of current harmonics present in distribution grids due to the presence of non-linear loads. The presence of harmonics in these grids can cause some problems such as: overheating of conductors, decrease in the useful life of the devices and errors with the synchronization stage.

The design of the PLL algorithm was carried out considering the typical voltage and frequency parameters in single-phase residential networks. The inverter is designed to work as an active power filter in parallel (Shunt), thus allowing the mitigation of current harmonics in the grid. The sizing is calculated having as a requirement to compensate the harmonics generated by the non-linear load.

The algorithm implementation is executed on a selected development card according to established functional requirements. Using the "Processor in the loop"

	MACROPROCESO DE APOYO	CÓDIGO: AAAR113
	PROCESO GESTIÓN APOYO ACADÉMICO	VERSIÓN: 3
	DESCRIPCIÓN, AUTORIZACIÓN Y LICENCIA DEL REPOSITORIO INSTITUCIONAL	VIGENCIA: 2017-11-16
		PAGINA: 4 de 7

technique and the "Simulink" tool, different case studies are presented, in which the algorithm designed and implemented in the development board is subjected to different disturbances present in networks.

The results obtained in the study cases are presented and analyzed, evaluating the transitory behavior, the stabilization time and the quality of the current waveform.

AUTORIZACION DE PUBLICACIÓN

Por medio del presente escrito autorizo (Autorizamos) a la Universidad de Cundinamarca para que, en desarrollo de la presente licencia de uso parcial, pueda ejercer sobre mí (nuestra) obra las atribuciones que se indican a continuación, teniendo en cuenta que, en cualquier caso, la finalidad perseguida será facilitar, difundir y promover el aprendizaje, la enseñanza y la investigación.

En consecuencia, las atribuciones de usos temporales y parciales que por virtud de la presente licencia se autoriza a la Universidad de Cundinamarca, a los usuarios de la Biblioteca de la Universidad; así como a los usuarios de las redes, bases de datos y demás sitios web con los que la Universidad tenga perfeccionado una alianza, son:

Marque con una "X":

AUTORIZO (AUTORIZAMOS)	SI	NO
1. La reproducción por cualquier formato conocido o por conocer.	X	
2. La comunicación pública por cualquier procedimiento o medio físico o electrónico, así como su puesta a disposición en Internet.	X	
3. La inclusión en bases de datos y en sitios web sean éstos onerosos o gratuitos, existiendo con ellos previa alianza perfeccionada con la Universidad de Cundinamarca para efectos de satisfacer los fines previstos. En este evento, tales sitios y sus usuarios tendrán las mismas facultades que las aquí concedidas con las mismas limitaciones y condiciones.	X	
4. La inclusión en el Repositorio Institucional.	X	

De acuerdo con la naturaleza del uso concedido, la presente licencia parcial se otorga a título gratuito por el máximo tiempo legal colombiano, con el propósito de que en dicho lapso mi (nuestra) obra sea explotada en las condiciones aquí estipuladas y para los fines indicados, respetando siempre la titularidad de los



MACROPROCESO DE APOYO	CÓDIGO: AAAR113
PROCESO GESTIÓN APOYO ACADÉMICO	VERSIÓN: 3
DESCRIPCIÓN, AUTORIZACIÓN Y LICENCIA DEL REPOSITORIO INSTITUCIONAL	VIGENCIA: 2017-11-16
	PAGINA: 5 de 7

derechos patrimoniales y morales correspondientes, de acuerdo con los usos honrados, de manera proporcional y justificada a la finalidad perseguida, sin ánimo de lucro ni de comercialización.

Para el caso de las Tesis, Trabajo de Grado o Pasantía, de manera complementaria, garantizo(garantizamos) en mi(nuestra) calidad de estudiante(s) y por ende autor(es) exclusivo(s), que la Tesis, Trabajo de Grado o Pasantía en cuestión, es producto de mi(nuestra) plena autoría, de mi(nuestro) esfuerzo personal intelectual, como consecuencia de mi(nuestra) creación original particular y, por tanto, soy(somos) el(los) único(s) titular(es) de la misma. Además, aseguro (aseguramos) que no contiene citas, ni transcripciones de otras obras protegidas, por fuera de los límites autorizados por la ley, según los usos honrados, y en proporción a los fines previstos; ni tampoco contempla declaraciones difamatorias contra terceros; respetando el derecho a la imagen, intimidad, buen nombre y demás derechos constitucionales. Adicionalmente, manifiesto (manifestamos) que no se incluyeron expresiones contrarias al orden público ni a las buenas costumbres. En consecuencia, la responsabilidad directa en la elaboración, presentación, investigación y, en general, contenidos de la Tesis o Trabajo de Grado es de mí (nuestra) competencia exclusiva, eximiendo de toda responsabilidad a la Universidad de Cundinamarca por tales aspectos.

Sin perjuicio de los usos y atribuciones otorgadas en virtud de este documento, continuaré (continuaremos) conservando los correspondientes derechos patrimoniales sin modificación o restricción alguna, puesto que, de acuerdo con la legislación colombiana aplicable, el presente es un acuerdo jurídico que en ningún caso conlleva la enajenación de los derechos patrimoniales derivados del régimen del Derecho de Autor.

De conformidad con lo establecido en el artículo 30 de la Ley 23 de 1982 y el artículo 11 de la Decisión Andina 351 de 1993, “*Los derechos morales sobre el trabajo son propiedad de los autores*”, los cuales son irrenunciables, imprescriptibles, inembargables e inalienables. En consecuencia, la Universidad de Cundinamarca está en la obligación de RESPETARLOS Y HACERLOS RESPETAR, para lo cual tomará las medidas correspondientes para garantizar su observancia.

NOTA: (Para Tesis, Trabajo de Grado o Pasantía):

Información Confidencial:

Esta Tesis, Trabajo de Grado o Pasantía, contiene información privilegiada, estratégica, secreta, confidencial y demás similar, o hace parte de la investigación que se adelanta y cuyos resultados finales no se han publicado. **SI ___ NO _X_.**

	MACROPROCESO DE APOYO	CÓDIGO: AAAR113
	PROCESO GESTIÓN APOYO ACADÉMICO	VERSIÓN: 3
	DESCRIPCIÓN, AUTORIZACIÓN Y LICENCIA DEL REPOSITORIO INSTITUCIONAL	VIGENCIA: 2017-11-16
		PAGINA: 6 de 7

En caso afirmativo expresamente indicaré (indicaremos), en carta adjunta tal situación con el fin de que se mantenga la restricción de acceso.

LICENCIA DE PUBLICACIÓN

Como titular(es) del derecho de autor, confiero(erimos) a la Universidad de Cundinamarca una licencia no exclusiva, limitada y gratuita sobre la obra que se integrará en el Repositorio Institucional, que se ajusta a las siguientes características:

a) Estará vigente a partir de la fecha de inclusión en el repositorio, por un plazo de 5 años, que serán prorrogables indefinidamente por el tiempo que dure el derecho patrimonial del autor. El autor podrá dar por terminada la licencia solicitándolo a la Universidad por escrito. (Para el caso de los Recursos Educativos Digitales, la Licencia de Publicación será permanente).

b) Autoriza a la Universidad de Cundinamarca a publicar la obra en formato y/o soporte digital, conociendo que, dado que se publica en Internet, por este hecho circula con un alcance mundial.

c) Los titulares aceptan que la autorización se hace a título gratuito, por lo tanto, renuncian a recibir beneficio alguno por la publicación, distribución, comunicación pública y cualquier otro uso que se haga en los términos de la presente licencia y de la licencia de uso con que se publica.

d) El(Los) Autor(es), garantizo(amos) que el documento en cuestión, es producto de mi(nuestra) plena autoría, de mi(nuestro) esfuerzo personal intelectual, como consecuencia de mi (nuestra) creación original particular y, por tanto, soy(somos) el(los) único(s) titular(es) de la misma. Además, aseguro(aseguramos) que no contiene citas, ni transcripciones de otras obras protegidas, por fuera de los límites autorizados por la ley, según los usos honrados, y en proporción a los fines previstos; ni tampoco contempla declaraciones difamatorias contra terceros; respetando el derecho a la imagen, intimidad, buen nombre y demás derechos constitucionales. Adicionalmente, manifiesto (manifestamos) que no se incluyeron expresiones contrarias al orden público ni a las buenas costumbres. En consecuencia, la responsabilidad directa en la elaboración, presentación, investigación y, en general, contenidos es de mí (nuestro) competencia exclusiva, eximiendo de toda responsabilidad a la Universidad de Cundinamarca por tales aspectos.

e) En todo caso la Universidad de Cundinamarca se compromete a indicar siempre la autoría incluyendo el nombre del autor y la fecha de publicación.

f) Los titulares autorizan a la Universidad para incluir la obra en los índices y

	MACROPROCESO DE APOYO	CÓDIGO: AAAR113
	PROCESO GESTIÓN APOYO ACADÉMICO	VERSIÓN: 3
	DESCRIPCIÓN, AUTORIZACIÓN Y LICENCIA DEL REPOSITORIO INSTITUCIONAL	VIGENCIA: 2017-11-16
		PAGINA: 7 de 7

buscadores que estimen necesarios para promover su difusión.

g) Los titulares aceptan que la Universidad de Cundinamarca pueda convertir el documento a cualquier medio o formato para propósitos de preservación digital.

h) Los titulares autorizan que la obra sea puesta a disposición del público en los términos autorizados en los literales anteriores bajo los límites definidos por la universidad en el “Manual del Repositorio Institucional AAAM003”

i) Para el caso de los Recursos Educativos Digitales producidos por la Oficina de Educación Virtual, sus contenidos de publicación se rigen bajo la Licencia Creative Commons: Atribución- No comercial- Compartir Igual.



j) Para el caso de los Artículos Científicos y Revistas, sus contenidos se rigen bajo la Licencia Creative Commons Atribución- No comercial- Sin derivar.



Nota:

Si el documento se basa en un trabajo que ha sido patrocinado o apoyado por una entidad, con excepción de Universidad de Cundinamarca, los autores garantizan que se ha cumplido con los derechos y obligaciones requeridos por el respectivo contrato o acuerdo.

La obra que se integrará en el Repositorio Institucional, está en el(los) siguiente(s) archivo(s).

Nombre completo del Archivo Incluida su Extensión (Ej. PerezJuan2017.pdf)	Tipo de documento (ej. Texto, imagen, video, etc.)
1. EscobarEdwin2020.pdf	PDF

En constancia de lo anterior, Firmo (amos) el presente documento:

APELLIDOS Y NOMBRES COMPLETOS	FIRMA (autógrafa)
ESCOBAR ORTIZ EDWIN SNEIDER	

Diseño e implementación de un algoritmo de sincronización para la supresión de armónicos en redes de distribución

Autor (es)

Edwin Sneider Escobar Ortiz

Universidad de Cundinamarca

Ingeniería Electrónica

Facultad de Ingeniería

Fusagasugá, Colombia

2020

Diseño e implementación de un algoritmo de sincronización para la supresión de armónicos en redes de distribución

Trabajo de grado presentado como requisito parcial para optar por el título de ingeniero electrónico

Autor (es)
Edwin Sneider Escobar Ortiz

Director:
Andrés Felipe Guerrero Guerrero

Línea de investigación:
Diseño e instrumentación y control

Universidad de Cundinamarca
Ingeniería Electrónica
Facultad de Ingeniería
Fusagasugá, Colombia
2020

Dedicatoria

A mi madre Edith Ortiz.
A mi padre José Escobar.

Agradecimientos

A Dios por darme la fuerza suficiente y sabiduría para poder haber culminado esta etapa de mi vida.

Agradecimiento especial a mi director de tesis y ahora amigo, el Dr. Andrés Felipe Guerrero por su guía, paciencia y constante apoyo durante el desarrollo de este proyecto.

A todos los profesores y compañeros que en mi etapa de formación académica me acompañaron y brindaron su apoyo incondicional.

A el personal de tesorería de la universidad de Cundinamarca, la señora Sandra, don Henderson, Antonio, Edgar y demás miembros del equipo por su ayuda durante el tiempo de mi prestación de horas de apoyo.

A la Universidad de Cundinamarca por permitirme estudiar la mayor parte de mi carrera a través de los beneficios ofrecidos por el área de bienestar universitario.

A Liuba Cubillos y su familia por brindarme su afecto y apoyo en los momentos más difíciles de mi vida.

A mis grandes amigos Víctor, Luisa Manrique y familia por su amistad a lo largo de los años.

A todas las personas que me tendieron desinteresadamente su mano amiga y me animaron a seguir adelante sin importar los problemas.

Edwin Sneider Escobar Ortiz

RESUMEN

Este documento expone el proceso realizado en el diseño de un algoritmo PLL (Phase locked loop) para la supresión de armónicos de corriente presentes en redes de distribución debido a la presencia de cargas no lineales. La presencia de armónicos en estas redes puede causar algunos problemas como: sobrecalentamiento de conductores, disminución de la vida útil de los dispositivos e interferir en la etapa de sincronización.

El diseño del algoritmo PLL se realizó teniendo en cuenta los parámetros de tensión y frecuencia típicos en las redes monofásicas residenciales. El inversor es diseñado para que trabaje como un filtro activo de potencia en paralelo (Shunt), permitiendo así la supresión de armónicos de corriente en la red. El dimensionamiento es calculado teniendo como requerimiento compensar los armónicos generados por la carga no lineal.

La implementación del algoritmo se ejecuta sobre una tarjeta de desarrollo seleccionada de acuerdo con unos requisitos funcionales establecidos. Usando la técnica "Processor in the loop" y la herramienta "Simulink" se presentan diferentes casos de estudio, en los cuales se somete al algoritmo diseñado e implementado en la tarjeta de desarrollo ante diferentes perturbaciones presentes en redes.

Los resultados obtenidos en los casos de estudio son presentados y analizados, evaluando el comportamiento transitorio, el tiempo de estabilización y la calidad en la forma de onda de la corriente.

ABSTRACT

This document describes the process carried out for the design of a PLL (Phase locked loop) algorithm for the mitigation of current harmonics present in distribution grids due to the presence of non-linear loads. The presence of harmonics in these grids can cause some problems such as: overheating of conductors, decrease in the useful life of the devices and errors with the synchronization stage.

The design of the PLL algorithm was carried out considering the typical voltage and frequency parameters in single-phase residential networks. The inverter is designed to work as an active power filter in parallel (Shunt), thus allowing the mitigation of current harmonics in the grid. The sizing is calculated having as a requirement to compensate the harmonics generated by the non-linear load.

The algorithm implementation is executed on a selected development card according to established functional requirements. Using the "Processor in the loop" technique and the "Simulink" tool, different case studies are presented, in which the algorithm designed and implemented in the development board is subjected to different disturbances present in networks.

The results obtained in the study cases are presented and analyzed, evaluating the transitory behavior, the stabilization time and the quality of the current waveform.

CONTENIDO

Resumen.....	7
Abstract.....	8
Índice de figuras.....	11
Índice de tablas.....	13
Introducción.....	14
1 El problema.....	15
1.1 Planteamiento del problema.....	15
1.2 Hipótesis.....	16
1.3 Objetivos del estudio.....	16
1.3.1 Objetivo general.....	16
1.3.2 Objetivos específicos.....	16
1.4 Justificación.....	16
1.5 Alcances y limitaciones.....	17
2 Marco referencial.....	18
2.1 Estado del arte.....	18
2.1.1 Sincronización con la red.....	18
2.2 Fundamentos teóricos.....	19
2.2.1 Marcos de Referencia.....	19
2.2.2 Distorsión Armónica.....	22
2.2.3 Phase locked loop PLL.....	23
2.2.4 Synchronous reference frame PLL (SRF-PLL).....	26
2.2.5 Filtros activos de potencia APF.....	29
2.2.6 Processor in the loop (PIL).....	31
3 Diseño metodológico.....	32
4 Diseño del algoritmo.....	33
4.1 Diseño SOGI-PLL.....	33
4.1.1 Generación de la señal en cuadratura.....	33
4.1.2 Cálculo del Controlador PI.....	34
4.1.3 Topología final SOGI- PLL.....	35

4.1.4	Respuesta del algoritmo PLL ante diferentes perturbaciones	38
5	Diseño del inversor e integración del algoritmo	46
5.1	Diseño del filtro Shunt	46
5.1.1	Dimensionamiento	46
5.1.2	Estrategia de compensación	49
5.1.3	Estrategia de control.....	50
5.1.4	Integración del algoritmo SOGI-PLL al inversor.....	51
5.2	Processor in the loop (PIL).....	52
5.2.1	Tarjeta de desarrollo.....	52
5.2.2	Configuración del entorno PIL	53
6	Evaluación en el rendimiento del sistema.....	56
6.1	Comportamiento del sistema bajo condiciones ideales.....	56
6.2	Casos de estudio	57
6.2.1	Caso 1. Cambio de fase	57
6.2.2	Caso 2. Hundimientos de tensión	58
6.2.3	Caso 3. Armónicos de tensión	58
6.2.4	Caso 4. Múltiples perturbaciones.....	59
6.3	Análisis distorsión Armónica	60
7	Conclusiones y trabajos futuros.....	63
7.1	Conclusiones.....	63
7.1.1	Diseño del algoritmo	63
7.1.2	Diseño del inversor e implementación de la técnica PIL.....	63
7.1.3	Rendimiento del sistema	64
7.2	Trabajos futuros	64
7.3	Divulgación científica.....	64
8	Bibliografía.....	66

ÍNDICE DE FIGURAS

Figura 1 Marcos de referencia: (a) natural, (b) $\alpha\beta 0$, (c) dq.....	22
Figura 2 Estructura PLL	24
Figura 3 Estructura de control PLL.....	24
Figura 4 Modelo lineal PLL.....	26
Figura 5 Estructura SRF-PLL	27
Figura 6 Estructura SOGI.....	28
Figura 7 Estructura SOGI-PLL	28
Figura 8 Diagrama de bode función de transferencia componente $v\alpha$	29
Figura 9 Diagrama de bode función de transferencia componente $v\beta$	29
Figura 10 Diagrama filtro Shunt.....	30
Figura 11 Lazo de control PIL	31
Figura 12 Metodología de desarrollo del proyecto	32
Figura 13 Estructura SOGI.....	33
Figura 14 señales en cuadratura generadas por el SOGI	34
Figura 15 Topología final del algoritmo PLL propuesto	35
Figura 16 Componentes α y β a la salida del SOGI	36
Figura 17 Componente d "Señal directa"	37
Figura 18 Componente q "señal ortogonal".....	37
Figura 19 Respuesta del controlador PI	37
Figura 20 Sincronización del PLL en condiciones ideales.....	38
Figura 21 Generación de una onda seno con datos del PLL	38
Figura 22 Respuesta del PLL ante hundimientos de tensión	39
Figura 23 Respuesta del PLL ante cambios de fase	40
Figura 24 Respuesta ante cambios de frecuencia	41
Figura 25 Cambio de frecuencia	42
Figura 26 Respuesta del PLL ante distorsión armónica	43
Figura 27 Respuesta del PLL ante múltiples perturbaciones	44
Figura 28 Topología filtro Shunt	46
Figura 29 Sensor de corriente hall SCT-013-000 [30].....	49
Figura 30 Diagrama de bloques estrategia de compensación PHC.....	50
Figura 31 Modulación PWM controlada por histéresis	50
Figura 32 (a) Banda de histéresis (b) Esquema de control por histéresis	51
Figura 33 Estrategia de control PWM por histéresis	51
Figura 34 Diagrama integración del algoritmo PLL al filtro Shunt.....	52
Figura 35 Tarjeta LAUNCHXL-F28379D [32].....	53
Figura 36 Reconocimiento de la tarjeta.....	54
Figura 37 Bloque PIL implementado en el modelo.....	54
Figura 38 Interior del bloque PILL	54

Figura 39 Prueba preliminar del sistema usando PIL.....	55
Figura 40 Compensación de armónicos usando el filtro Shunt	56
Figura 41 Respuesta del sistema ante un cambio de fase.....	57
Figura 42 Respuesta del sistema ante hundimientos de tensión	58
Figura 43 Respuesta del sistema ante armónicos de tensión	59
Figura 44 Respuesta del sistema ante múltiples perturbaciones	60
Figura 45 THDi de la red sin compensación de armónicos	60
Figura 46 THDv tensión de entrada	61
Figura 47 THDi de la red con compensación de armónicos.....	61

ÍNDICE DE TABLAS

Tabla 1 Requerimientos de diseño.....	34
Tabla 2 Parámetros de diseño	46
Tabla 3 Lógica de control	51
Tabla 4 Características tarjeta LAUNCHXL-F28379D.....	53

INTRODUCCIÓN

La creciente demanda energética en el mundo, junto con la preocupación ambiental debida a los efectos secundarios ocasionados por algunos desechos generados a causa del continuo uso de fuentes de energías convencionales durante el último siglo, ha conllevado a un constante crecimiento de la integración de fuentes de energía renovables [1]. Debido a que la energía que ofrecen actualmente dichas fuentes no puede satisfacer la demanda actual por sí sola, se hace uso de sistemas híbridos o sistemas “On-grid” [2], estos poseen las ventajas de reducir costos en elementos usuales para el almacenamiento de energía (baterías) e inyectar el excedente de energía a la red eléctrica pública.

Para la inyección de energía proveniente de alguna fuente renovable es necesaria una etapa de sincronización, en esta, un sistema de control se encarga del continuo monitoreo de los parámetros de la red con el fin de controlar el inversor, asegurando que presente en su salida una señal idéntica a la ofrecida por la red. Este proceso de inyección debe asegurar que la energía suministrada por la fuente renovable sea inyectada a la red de una forma eficiente y segura, además de no afectar la calidad de la forma de onda proveniente de la red externa.

Debido al aumento en la presencia de cargas no lineales en las redes actuales, se presenta un incremento en la distorsión armónica total [3], este problema no solo afecta físicamente a los dispositivos presentes en la red, además afecta la forma de onda de la señal externa lo cual puede generar una penalización por parte del proveedor de energía. La contaminación por armónicos dentro de la red puede causar errores de precisión por parte de la etapa de sincronización, causando inconvenientes en la inyección de energía [4].

Diferentes técnicas de sincronización vienen siendo desarrolladas en la actualidad con el objetivo reducir los errores de precisión en la etapa de sincronización, asegurando un buen desempeño cuando se presenten perturbaciones en la red. Dentro de las técnicas de sincronización más usadas se encuentran las basadas en algoritmos PLL (Phase Locked Loop) [5].

1 EL PROBLEMA

1.1 PLANTEAMIENTO DEL PROBLEMA

El empleo de fuentes de energía renovables ha crecido con una tendencia positiva[6], sin embargo, el costo para su implementación es elevado en comparación con las fuentes tradicionales. Gran parte del aumento de los costos en sistemas renovables se debe a que requieren bancos de baterías para almacenar la energía [7]. Dependiendo de la capacidad de almacenamiento, las baterías pueden llegar a ser los elementos más costosos en un proyecto de energías renovables.

Uno de los métodos por el cual se puede aprovechar la energía provista por las fuentes renovables sin hacer uso de bancos de baterías es la de inyectar la energía a la red eléctrica formando los sistemas denominados “on- grid” [8]. Para poder suministrar la energía a la red se necesita una etapa de sincronización en donde se determinen los parámetros de amplitud, frecuencia y fase necesarios para la correcta conexión entre el convertidor de potencia DC-AC (inversor) y la red de distribución eléctrica (RDE).

Garantizar una correcta etapa de sincronización es fundamental para no afectar la calidad energética de la red [9]. Sin embargo, debido a la alta presencia de cargas no lineales en los hogares y la inclusión de fuentes no convencionales de energía eléctrica (inyección a la red sin regulación THD) se presenta un aumento en los niveles de distorsión armónica que podrían afectar la sincronización [10], [11].

En la actualidad se cuenta con técnicas desarrolladas para llevar a cabo la etapa de sincronización; no obstante, estas presentan deficiencias ante determinadas perturbaciones presentes en la red, cada técnica desarrollada va enfocada a disminuir algún problema en particular, por ende, se puede afirmar que no existe una técnica integral que aborde todas las problemáticas en conjunto.

Por consiguiente, para obtener el máximo aprovechamiento de las fuentes de energía renovables es de suma importancia una etapa de sincronización, donde se estime de una forma rápida y precisa la fase del sistema aún con presencia de armónicos. Además, se deben minimizar posibles alteraciones sobre el factor de calidad de la red causadas por los inversores en la inyección de energía. Por lo anterior, se plantea el siguiente interrogante:

¿Cómo realizar el proceso de inyección de energía a una red con presencia de armónicos a partir de algoritmos de sincronización?

1.2 HIPÓTESIS

La inserción de un integrador generalizado de segundo orden a la estructura SRF-PLL, permite al algoritmo mejorar la precisión en la adquisición de los parámetros necesarios para la etapa de sincronización en redes monofásicas con presencia de armónicos

1.3 OBJETIVOS DEL ESTUDIO

1.3.1 Objetivo general

Desarrollar un algoritmo PLL para sincronización en redes de distribución eléctricas con presencia de armónicos.

1.3.2 Objetivos específicos

- Diseñar un algoritmo PLL que permita identificar los parámetros necesarios para la sincronización con la red de distribución eléctrica bajo efecto de armónicos.
- Implementar un prototipo de prueba basado en convertidor DC-AC con el fin de verificar el funcionamiento del algoritmo diseñado para la sincronización con la red de distribución eléctrica.
- Evaluar la eficiencia del algoritmo PLL en la etapa de sincronización con la red de distribución eléctrica mediante casos experimentales con presencia de armónicos.

1.4 JUSTIFICACIÓN

Uno de los grandes desafíos a los que se enfrenta la humanidad es detener el avance y deterioro del medio ambiente provocado por algunas fuentes de energía tradicionales. Debido a este problema, en las últimas décadas se ha promovido el cuidado del medio ambiente por medio de políticas ecológicas, acciones que fomenten en los ciudadanos el uso racional de los recursos naturales y uso de fuentes de energía más limpias.

Este fenómeno ha conllevado al aumento creciente del empleo de fuentes de energía más limpias; sin embargo, la calidad de la forma de onda de tensión obtenida de estas fuentes es menor en comparación con los perfiles de tensión de la red, por lo anterior es de vital importancia optimizar los procesos para un mayor aprovechamiento de la energía.

El propósito de este proyecto es aumentar la eficiencia de la energía suministrada por los sistemas de generación distribuida, realizando un aporte que contribuya a mejorar el proceso de sincronización en sistemas on-grid, junto con la reducción en la distorsión armónica presente en las fuentes de generación distribuida (FGD), permitiendo que la energía generada sea inyectada a la red de una forma segura y eficiente.

Por medio de este proyecto se pretende poner a disposición una herramienta que facilite el uso de alguna fuente de energía renovable en sistemas “on-grid”, reduciendo los costos por la supresión de elementos almacenadores de energía (baterías), permitiendo reducir el costo energético de consumo mediante la devolución de energía a la red en intervalos pico de generación y mejorando la calidad energética del sistema por medio de la anulación de armónicos.

Por otra parte, la incursión en estrategias de conexión de fuentes de energía renovable a la red generará nuevos aportes a esta área de investigación, fortaleciendo los núcleos temáticos relacionados con electrónica de potencia, control análogo, control discreto, sistemas embebidos y energías renovables en la Universidad de Cundinamarca.

1.5 ALCANCES Y LIMITACIONES

El propósito de este trabajo es contribuir al desarrollo de una nueva técnica para mejorar el proceso de sincronización en redes monofásicas donde se puedan presentar altos grados de distorsión armónica debido a cargas no lineales.

Para la ejecución de este proyecto se propuso el diseño de un algoritmo PLL que permita detectar de una forma rápida y precisa los parámetros necesarios para la sincronización de los sistemas de generación distribuida con la red de manera eficiente.

Este proyecto se desarrolló para un convertidor DC-AC en una topología de medio puente y una potencia de operación inferior a 9 kW. La tensión nominal de la red se eligió como $120 V_{rms}$ tensión de operación en redes residenciales. La tensión del bus DC del inversor es $510V_{DC}$ y la corriente máxima que suministrará a la red es $75 A_{pico}$.

El algoritmo PLL se implementó en una tarjeta de desarrollo LAUNCHXL-F28379D [12]. Las pruebas del algoritmo se realizaron empleando la técnica Processor in the Loop (PIL) en la herramienta Simulink de Matlab [13].

2 MARCO REFERENCIAL

En este capítulo se expondrán las estrategias de sincronización a red más relevantes de la literatura, adicionalmente se relacionarán los conceptos necesarios para el desarrollo de esta investigación.

2.1 ESTADO DEL ARTE

La continua integración de fuentes de energías renovables ha requerido el desarrollo de técnicas que puedan trabajar de una forma rápida y precisa sobre los cambios presentes en la red. Los algoritmos PLL proveen información precisa sobre parámetros críticos que intervienen en la etapa de sincronización como son la amplitud, fase y frecuencia de la red a la cual se conectarán los convertidores de potencia [14].

Una mala etapa de sincronización puede causar efectos adversos en la red reduciendo el nivel de calidad energética. Igualmente, una red con presencia de perturbaciones tales como hundimientos de tensión, armónicos, flicker, entre otros, pueden no solo afectar el correcto funcionamiento y vida útil de los dispositivos conectados en la red, sino además la obtención precisa de los parámetros de sincronización por parte del PLL [4].

Aumentar el aprovechamiento de la energía suministrada por sistemas de generación distribuida, ha incentivado el mejoramiento y constante evolución de técnicas que permitan asegurar una sincronización rápida y efectiva en ambientes con presencia de perturbaciones, causadas por el aumento de cargas no lineales en los sistemas. Algunas técnicas convencionales y otras derivadas de la continua exploración de nuevos algoritmos PLL son presentadas a continuación.

2.1.1 Sincronización con la red

Dentro de las técnicas más tempranas de identificación de parámetros de la red se encuentra el detector de cruce por cero, el cual permite identificar la fase de la señal de referencia. No obstante, no es una técnica muy eficiente debido a que no brinda información sobre perturbaciones que actualmente se presentan en la red con inclusión de fuentes de energía renovable [15].

Algunas técnicas están basadas en la transformada de Fourier, transformada discreta de Fourier y la transformada rápida de Fourier. Freijedo et al proponen un método que calcula en tiempo real los coeficientes de Fourier de la señal fundamental usando un algoritmo heterodino, luego el sistema reconstruye la señal fundamental obteniéndola fase, frecuencia y amplitud [16].

George et al proponen una estrategia para procesamiento de datos de un sistema de

adquisición y software para el procesamiento de señales con un índice menor de errores [17]. Las técnicas relacionadas previamente presentan inconvenientes ante la presencia de perturbaciones en la red y alteraciones en la periodicidad de la señal debida a cargas no lineales [18], en estos casos suelen emplearse circuitos PLL (phase - locked loop) [19].

Los algoritmos PLL (phase-locked loop) son más eficientes que los métodos mencionados anteriormente, no obstante, también se presentan algunos problemas causados por los elementos que lo componen. como es el caso de oscilaciones de doble frecuencia en el detector de fase (PD) [18], la baja capacidad de filtrado que ofrece el filtro pasabajos de primer orden (LPF) al momento suprimir perturbaciones existentes en la red, por lo cual se aconseja emplear filtros de segundo orden.

Antonelli *et al* [20] hace uso de sistemas basados en PLL para el análisis de armónicos. De una forma similar Ama *et al* [19] proponen la utilidad de usar PLLs para la identificación de armónicos de ordenes específicos mediante una configuración en cascada.

El algoritmo “Moving Average Filter” MAF-PLL ha demostrado ser una buena alternativa para sistemas que presentan condiciones adversas como expresa Mellouli et al [21]. Sin embargo, se presentan inconvenientes en el ancho de banda reducido a causa de agregar el filtro MAF afectando la respuesta dinámica del sistema [10].

El análisis realizado por *Prakash et al* [22] demostró el buen rendimiento del SOGI-PLL en sistemas monofásicos conectados a la red, destaca la baja carga computacional y la rápida respuesta en estado estable para la mayoría de condiciones adversas en la red; además presenta algunos algoritmos derivaos de la estructura básica del SOGI-PLL.

Golestan et al [23] destaca la popularidad del algoritmo SOGI-PLL en aplicaciones monofásicas debido a la generación de una señal virtual ortogonal, la baja carga computacional y la capacidad que tiene para atenuar componentes armónicas que se presentan en la fase α .

Sawaengsinkasikit et al [11] proponen un inversor monofásico controlado mediante un compensador PLL. Xiao et al [24] proponen una estrategia adaptativa para la compensación de armónicos mediante un filtro Shunt (SAPF) basada en una estructura SOGI y un algoritmo RDFT.

2.2 FUNDAMENTOS TEÓRICOS

2.2.1 Marcos de Referencia

Las tensiones (V_R, V_S, V_T) y corrientes (I_R, I_S, I_T) presentes en sistemas trifásicos pueden ser representadas abajo diferentes sistemas de coordenadas denominados

“Marcos de referencia”, estos permiten facilitar el análisis y diseño de controladores tomando los valores de las tensiones o corrientes en diferentes coordenadas, permitiendo así modelar sistemas trifásicos en sus equivalentes bifásicos o modelos DC mediante la aplicación de las transformadas de Clarke y Park.

2.2.1.1 Marco de referencia natural (abc)

Este marco de referencia permite representar los valores de tensión y corrientes de sistemas trifásicos balanceados y simétricos V_R, V_S, V_T en tres nuevas componentes llamadas abc . Estas componentes forman así tres vectores (v_a, v_b, v_c) que representan el valor instantáneo de tensión presente en cada línea separados entre ellos ($2\pi/3$) rad equivalentes al desfase de 120° presente en los sistemas trifásicos simétricos.

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} V_m \cos(\theta) \\ V_m \cos\left(\theta - \frac{2\pi}{3}\right) \\ V_m \cos\left(\theta + \frac{2\pi}{3}\right) \end{bmatrix} \quad (2-1)$$

Es importante resaltar que este marco de referencia no se debe confundir con los diagramas fasoriales tradicionales, en los que las longitudes de los vectores representan el valor de amplitud de las señales, en el marco de referencia natural “abc” estas longitudes representan los valores instantáneos.

2.2.1.2 Marco de referencia estacionario ($\alpha\beta 0$)

El comportamiento de las componentes abc presentes en un sistema trifásico, puede ser analizado al representarlo como un sistema bifásico estacionario en cuadratura, la conversión entre estos dos sistemas se puede lograr mediante la aplicación de la “Transformada de Clarke”. Esta transformación genera dos componentes ortogonales (v_α, v_β) y una componente homopolar v_0 equivalente a la generada en la transformación de Fortescue.

$$\begin{bmatrix} v_\alpha \\ v_\beta \\ v_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2-2)$$

Las componentes v_α, v_β tienen la misma amplitud que v_a, v_b, v_c , sin embargo, el desfase entre las señales al estar en cuadratura ya no es de 120° sino de 90° , en donde v_α a menudo se encuentra en fase con la componente v_a del marco de referencia natural.

2.2.1.3 Marco de referencia rotacional síncrono (dq)

El sistema trifásico estacionario puede también ser representado a través de un sistema bifásico rotacional, en el cual se generan las componentes continuas “d o directa” y “q o cuadratura”. Este marco de referencia puede ser realizado aplicando la transformada de Park, convirtiendo así las dos componentes del marco de referencia “ $\alpha\beta 0$ ” en un marco rotacional ortogonal “dq”.

$$\begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \sin(\theta) & 0 \\ -\sin(\theta) & \cos(\theta) & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \\ v_0 \end{bmatrix} \quad (2-3)$$

O también representada mediante el uso de los marcos de referencia abc y $\alpha\beta 0$, sustituyendo las ecuaciones (2-1) y (2-2) en (2-3)

$$\begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \sin(\theta) & 0 \\ -\sin(\theta) & \cos(\theta) & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} V_m \cos(\theta) \\ V_m \cos\left(\theta - \frac{2\pi}{3}\right) \\ V_m \cos\left(\theta + \frac{2\pi}{3}\right) \end{bmatrix} \quad (2-4)$$

Resumiendo (2-4), como:

$$\begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos\left(\theta - \frac{2\pi}{3}\right) & \cos\left(\theta - \frac{4\pi}{3}\right) \\ -\sin(\theta) & \sin\left(\theta - \frac{2\pi}{3}\right) & \sin\left(\theta - \frac{4\pi}{3}\right) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix}$$

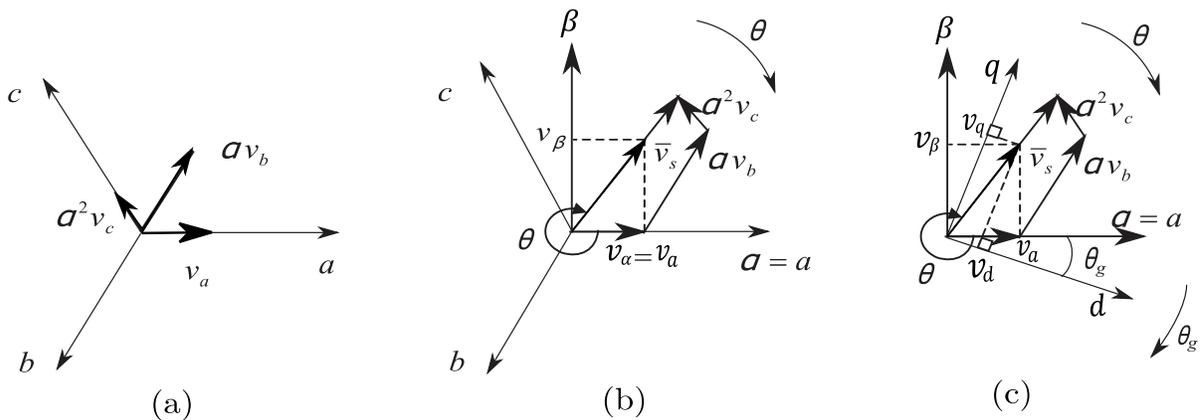


Figura 1 Marcos de referencia: (a) natural, (b) $\alpha\beta 0$, (c) dq

2.2.2 Distorsión Armónica

Los armónicos son definidos como frecuencias múltiplos enteros de una frecuencia fundamental, estos armónicos se suman y deforman la forma de onda original. Dentro de las redes eléctricas se suelen presentar armónicos de tensión o corriente, estos son ocasionados por la presencia de cargas no lineales, dispositivos de electrónica de potencia (rectificadores, inversores, etc.), sistemas de alimentación ininterrumpidos (UPS), fuentes conmutadas, entre otros.

Este fenómeno causa problemas en la red eléctrica, conllevando a un degradado en la calidad de la energía debido a picos de tensión o corriente que pueden afectar físicamente a los dispositivos conectados en la red. Dentro de algunos de los problemas que se pueden presentar se encuentran: sobrecalentamiento en conductores, vibración en motores, saltos de interruptores termo magnéticos, degradación en el factor de potencia, errores en sensores, entre otros; dichos problemas pueden ser transitorios o permanentes.

La distorsión armónica total (THD), se puede definir como la relación entre la suma de todos los valores eficaces (RMS) de los diferentes armónicos y el valor RMS de la frecuencia fundamental. Este valor suele darse como porcentaje y expresa que tanto

se deforma la onda de tensión o corriente respecto a la onda sinusoidal. Para la regulación de los niveles tolerables de THD se siguen las sugerencias acordadas por el estándar de la IEEE-519-2014. [25]

$$THD_{x(t)} = \frac{\sqrt{\sum_{h=2}^N X_{rms_h}^2}}{X_{rms_1}} = \frac{\sqrt{X_{rms}^2 + X_{rms_1}^2 + X_{dc}^2}}{X_{rms_1}} \quad (2-5)$$

2.2.3 Phase locked loop PLL

Un lazo de seguimiento de fase “Phase Locked Loop” o también llamado abreviadamente “PLL”, es un sistema de control en lazo cerrado, en el que se controla un VCO (oscilador controlado por voltaje) con el fin de obtener a su salida una señal de amplitud fija, frecuencia y fase sincronizada con la señal de entrada.

La estructura básica del PLL consta de tres elementos fundamentales: un detector de fase (PD), un filtro pasabajas (LPF) y un oscilador controlado por voltaje (VCO). La estructura del PLL se observa en la Figura 2.

En el dominio del tiempo el detector de fase suele representarse por medio de un multiplicador, este se encarga de generar a su salida una señal de error e_{pd} formada por una componente DC y una AC resultante de una doble oscilación al comparar la señal de entrada v con la proveniente del VCO v' .

El filtro pasabajas LPF puede ser sustituido por un controlador PI, el objetivo es suprimir la componente de alta frecuencia, permitiendo solo el paso para la componente de baja frecuencia. Cuando el sistema se encuentra en estado estable la señal $v_{lpf} = 0$, esto conlleva a que la diferencia de las fases θ y θ' provenientes de v y v' sea cero.

La señal v_{lpf} proveniente del filtro pasabajas o controlador PI, alimenta al oscilador VCO para que genere una señal sinusoidal con frecuencia y fase deseada, coincidentes con la señal de entrada v .

Es importante mencionar que la señal de entrada y salida de (v y v') se encuentran desfasadas 90° , esto con el objetivo de que la señal sea $v_{lpf} = 0$. Por ejemplo, si se toma la señal de entrada como $V \sin(\theta)$, se tendrá como salida $V \cos(\theta)$. Sin embargo, esto no es un problema puesto que se puede agregar una constante a la fase de salida θ' para obtener el ángulo de fase deseado.

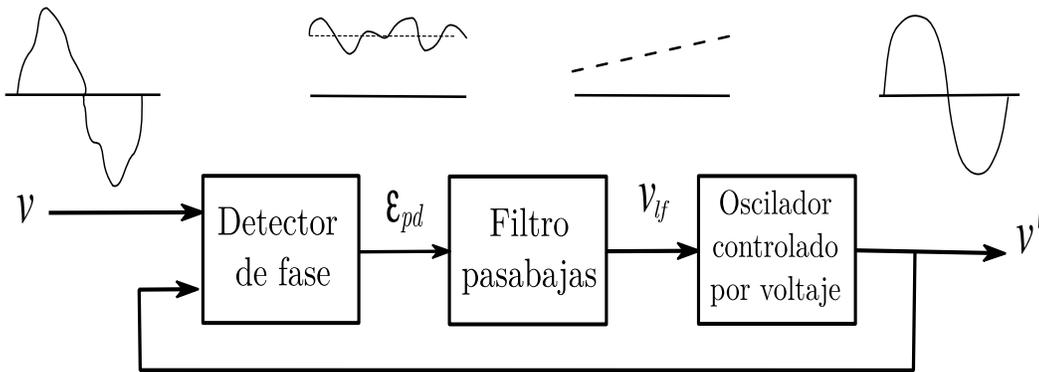


Figura 2 Estructura PLL

2.2.3.1 Modelado Básico de un PLL

La estructura interna de cada uno de los bloques funcionales que conforman un PLL como el visto anteriormente en la Figura 2, se puede representar como se muestra en la Figura 3.

Para este caso el detector de fase es un multiplicador con una ganancia k_{pd} , el LPF es un controlador PI y el VCO está constituido por: una ganancia k_{vco} , un integrador, una frecuencia central constante ω_c y una función coseno.

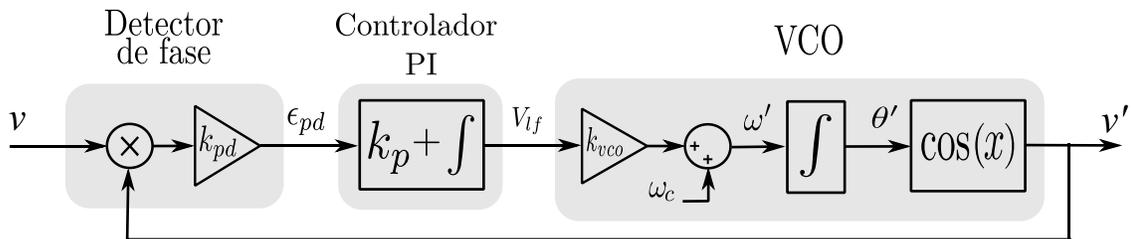


Figura 3 Estructura de control PLL

Para este análisis se considerarán como señal de entrada y señal de salida:

$$v = V \sin(\theta) = V \sin(\omega t + \phi)$$

$$v' = V \cos(\theta') = V \cos(\omega' t + \phi')$$

La señal de error e_{pd} obtenida a la salida del multiplicador se puede expresar como:

$$e_{pd} = V k_{pd} \sin(\omega t + \phi) \cos(\omega' t + \phi')$$

$$e_{pd} = \frac{V k_{pd}}{2} \left\{ \sin((\omega - \omega')t + (\phi - \phi')) + \sin((\omega + \omega')t + (\phi + \phi')) \right\} \quad (2-6)$$

Como se puede observar en la ecuación (2-6), a la salida del multiplicador se genera una doble oscilación conformada por una componente de baja frecuencia $\sin((\omega - \omega')t + (\phi - \phi'))$ y una de alta frecuencia $\sin((\omega + \omega')t + (\phi + \phi'))$, siendo esta última suprimida por el LPF. Así que el error de fase e_{pd} se podría expresar como:

$$e_{pd} = \frac{Vk_{pd}}{2} \left\{ \sin((\omega - \omega')t + (\phi - \phi')) \right\} \quad (2-7)$$

Haciendo $\theta = \omega t + \phi$ en (2-7)

$$e_{pd} = \frac{Vk_{pd}}{2} (\sin(\theta - \theta')) \quad (2-8)$$

El comportamiento de la señal de error e_{pd} a la salida del multiplicador tiene un comportamiento no lineal, no obstante para valores de error de fase muy pequeños y aplicando una de las propiedades del seno establece que para valores de ángulos “ θ ” cercanos a “0”, el seno del ángulo es aproximadamente el ángulo: $\sin(\theta) \approx \theta$ cuando $\theta \approx 0$. Por consiguiente finalmente se podría expresar el error de fase e_{pd} en la ecuación (2-8) como:

$$e_{pd} = \frac{Vk_{pd}}{2} (\theta - \theta') \quad (2-9)$$

2.2.3.2 Modelo Lineal

Transformando al dominio de la frecuencia las ecuaciones presentadas anteriormente mediante la transformada de Laplace, se puede realizar una nueva representación de un modelo lineal del PLL. Para esto se toman las siguientes consideraciones:

$$e_{pd} = \frac{Vk_{pd}}{2} (\theta - \theta')$$

$$v_{lpf} = k_p \left(1 + \frac{1}{T_i s} \right) e_{pd}(s)$$

$$\theta'(s) = \frac{1}{s} v_{lpf}(s)$$

Haciendo las ganancias $k_{pd} = k_{vco} = 1$ se obtiene la siguiente función de transferencia en lazo abierto:

$$G_{ol}(s) = \frac{k_p \left(1 + \frac{1}{T_i s}\right)}{s} = \frac{k_p s + \frac{k_p}{T_i}}{s^2} \quad (2-10)$$

La función de transferencia en lazo cerrado que relaciona la fase de entrada con la salida se presenta como:

$$G_{cl}(s) = \frac{k_p s + \frac{k_p}{T_i}}{s^2 + k_p s + \frac{k_p}{T_i}} \quad (2-11)$$

Mediante las funciones de transferencia $G_{ol}(s)$ y $G_{cl}(s)$ obtenidas en las ecuaciones (2-10) y (2-11), se puede ver que el sistema es de segundo orden, con dos polos en el origen siendo clasificado como tipo 2, esto permite que error de estado estable sea igual a cero para una señal rampa con pendiente constante igual al ángulo de fase.

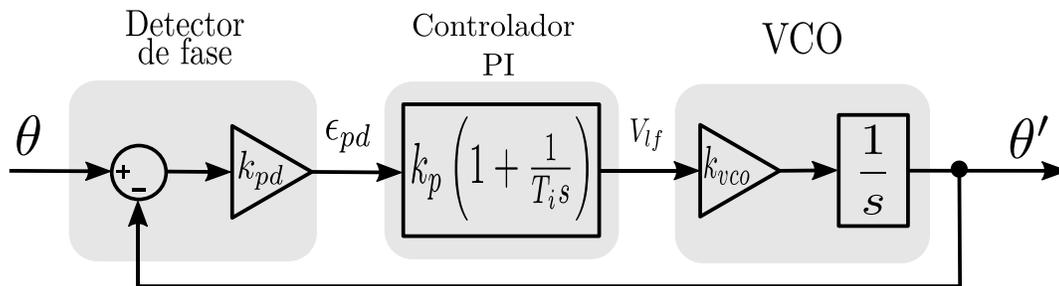


Figura 4 Modelo lineal PLL

2.2.4 Synchronous reference frame PLL (SRF-PLL)

Synchronous Reference Frame o marco de Referencia Rotacional Síncrono es comúnmente utilizado en aplicaciones de sistemas trifásicos. Como se vio anteriormente un sistema trifásico de tensiones v_a, v_b, v_c en el marco de referencia natural, puede ser convertido en un sistema bifásico en cuadratura por medio de la transformada de Clarke obteniendo así las tensiones v_α, v_β .

Una vez se tienen las señales en cuadratura v_α, v_β , se aplica la transformada de Park creando de esta forma dos nuevas componentes DC (v_d y v_q). Para asegurar que el valor de $\theta' = \theta$, se lleva la señal v_q a un controlador PI con el fin de que $v_q = 0$. Una señal con el valor de la frecuencia natural de la red es sumada a la señal proveniente del controlador PI para luego mediante un integrador obtener el valor del ángulo de la fase.

Cuando se logra que la fase se enganche o $\theta' = \theta$, el valor de la amplitud de la tensión de entrada es igual a $V = v_d$. Este valor de tensión se puede calcular utilizando la siguiente ecuación:

$$V = \sqrt{v_d^2 + v_q^2}$$

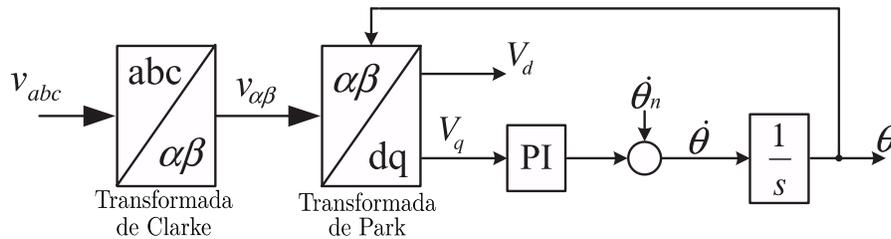


Figura 5 Estructura SRF-PLL

Para aplicaciones de sistemas de control de potencia el SRF-PLL es de común uso, puesto que presenta un error de estado estable igual a cero al producir el enganche, esto asegura que sea capaz de obtener con precisión la fase y frecuencia de la red en sistemas balanceados. Sin embargo, presenta una alta sensibilidad ante la presencia de armónicos o perturbaciones de tensión en sistemas con condiciones desbalanceadas, para lo cual se han venido desarrollando nuevas estructuras derivadas del SRF-PLL.

La estructura del SRF-PLL anteriormente descrita es usualmente aplicada para sistemas trifásicos, no obstante, SRF-PLL también puede ser aplicada a sistemas monofásicos realizando algunos cambios en la estructura agregando un generador de señales en cuadratura (QSG). El QSG se encarga de generar dos señales similares a las creadas en la transformación de Clarke partiendo de una señal monofásica, como resultado del QSG las señales a su salida se encuentran con un desfase de 90° .

La técnica más fácil para producir señales en cuadratura es agregar un retardo o delay $T/4$ a la señal de entrada, siendo T el periodo de esta señal. Si bien esta técnica genera dos señales con un desfase de 90° , es muy sensible cuando se presentan algunos inconvenientes en las condiciones de la red, tales como cambios de frecuencia o presencia de armónicos; ocasionando así una alteración en el comportamiento de las señales v_d y v_q .

2.2.4.1 Second-Order Generalized Integrator PLL (SOGI-PLL)

El integrador generalizado de segundo orden "SOGI" es aprovechado como QSG para los sistemas monofásicos, su estructura se conforma de un lazo realimentado que incluye dos integradores y una frecuencia de resonancia ω' .

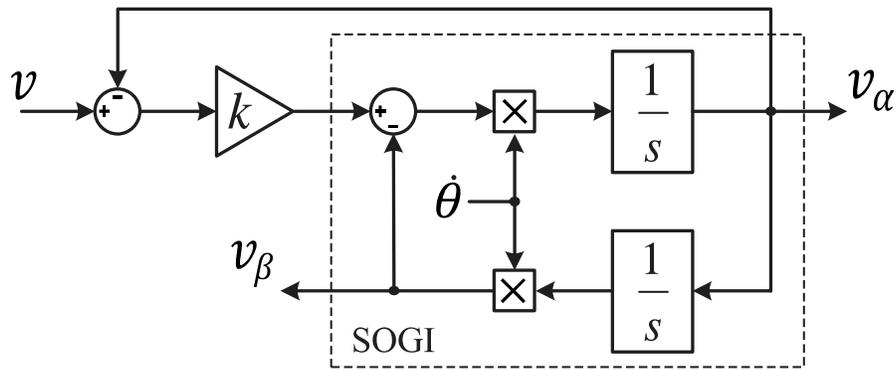


Figura 6 Estructura SOGI

La función de transferencia G_α entre v y v_α está dada por:

$$G_\alpha = \frac{k\omega s}{s^2 + k\omega s + \omega^2} \quad (2-12)$$

Así mismo se tiene que la función de transferencia G_β para v y v_β es:

$$G_\beta = \frac{k\omega^2}{s^2 + k\omega s + \omega^2} \quad (2-13)$$

La estructura del SOGI permite tomar una señal monofásica y convertirla en dos señales ortogonales, similares a las generadas por medio de la transformada de Clarke, de esta forma se puede realizar la estructura SRF-PLL.

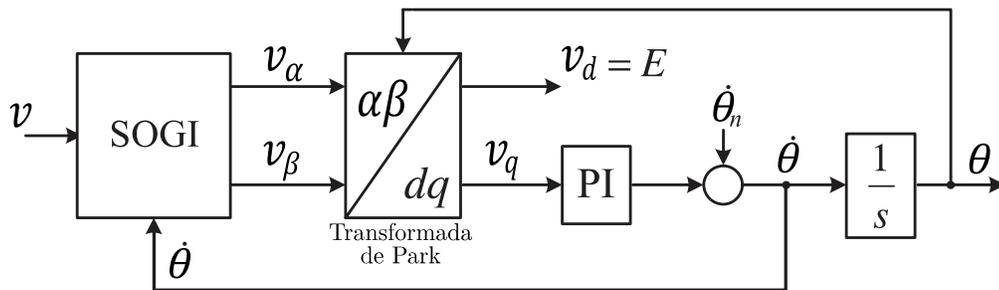


Figura 7 Estructura SOGI-PLL

Ajustando el valor de la ganancia del SOGI " k_s " se modifica el ancho de banda del filtro, logrando una mayor selectividad a ganancias $k_s < 1$. En los siguientes diagramas de bode se comparan las funciones de transferencia G_α (2-12) y G_β (2-13) del filtro bajo diferentes valores de ganancia k_s . En la figura 8 se presentan las respuestas ante diferentes valores de ganancia k_s .

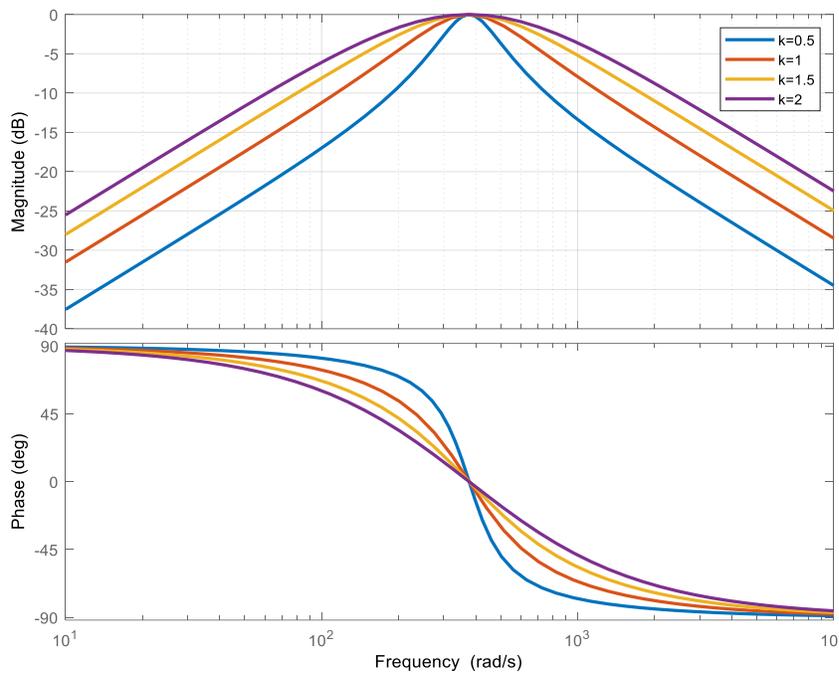


Figura 8 Diagrama de bode función de transferencia componente v_a

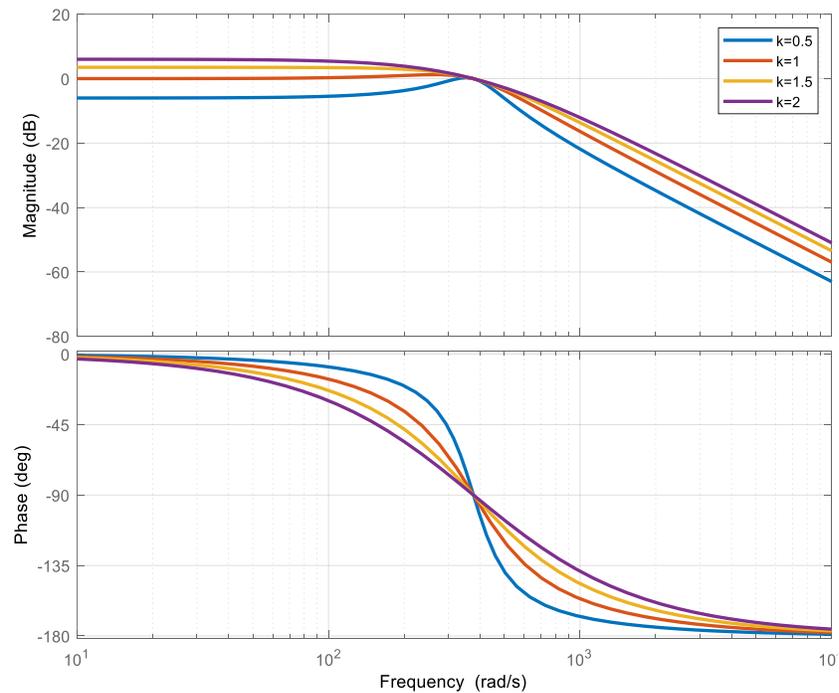


Figura 9 Diagrama de bode función de transferencia componente v_β

2.2.5 Filtros activos de potencia APF

Una forma convencional para suprimir o mitigar el impacto de los armónicos de tensión o corriente y además mejorar el factor de potencia en una red es mediante la

implementación de filtros pasivos LC o bancos de capacitores. Esta solución presenta algunas desventajas: pueden causar resonancia en conjunto con cargas del sistema, son de grandes dimensiones, deben ser diseñados para armónicos de un determinado orden y baja flexibilidad ante cambios de cargas en la red.

Los filtros activos surgen como una alternativa más eficiente que los filtros pasivos puesto que disminuyen las desventajas: de dimensionamiento y adaptabilidad que estos últimos tienen. Se puede definir a estos filtros como fuentes controladas de tensión o corriente que se conectan a la red directamente o mediante un transformador según sea la configuración (serie, paralelo o híbrido).

2.2.5.1 Filtro activo de potencia en paralelo (shunt)

Dentro de las topologías de filtros activos más usados se encuentra la configuración del filtro activo de potencia en paralelo o filtro Shunt (SAPF), este es ampliamente utilizado gracias a su capacidad para suprimir problemas causados por cargas no lineales tales como: armónicos de corriente, desbalance de corrientes y para compensar potencia reactiva.

Esta configuración se encarga de inyectar en la red corriente con un desfase de 180° y una magnitud igual a la del armónico que quiere eliminarse. Usualmente el SAPF se acopla cerca a la carga no lineal puesto que esta es la causante de inyectar los armónicos de corriente que contaminan la red.

Para el control del filtro SAPF existen múltiples estrategias de compensación como lo son: ITC (Instantaneous-Time Compensation), CAP (Constant Active Power), UPF (Unity Power Factor), PHC (Perfect Harmonic Cancellation), $I \cos(\phi)$, PQ [26].

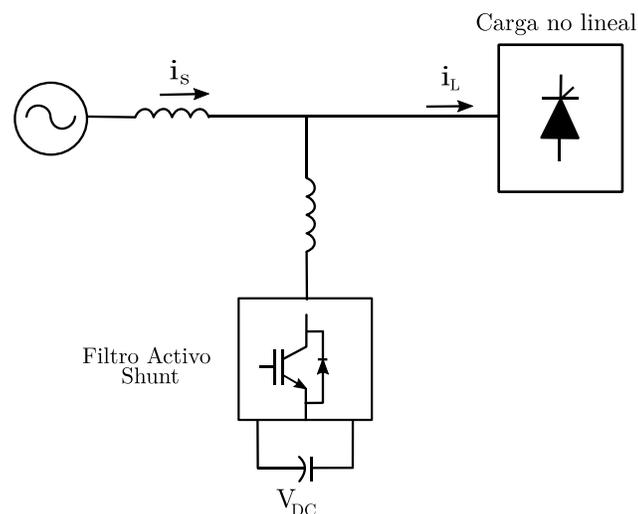


Figura 10 Diagrama filtro Shunt

2.2.6 Processor in the loop (PIL)

Processor-in-the-loop (PIL) es una técnica que permite a los diseñadores evaluar un controlador ejecutándolo sobre un procesador dedicado, mientras la planta del sistema es realizada en un entorno de simulación (ver Figura 11). Las simulaciones con PIL están diseñadas para exponer posibles problemas de ejecución en el entorno integrado. [13]

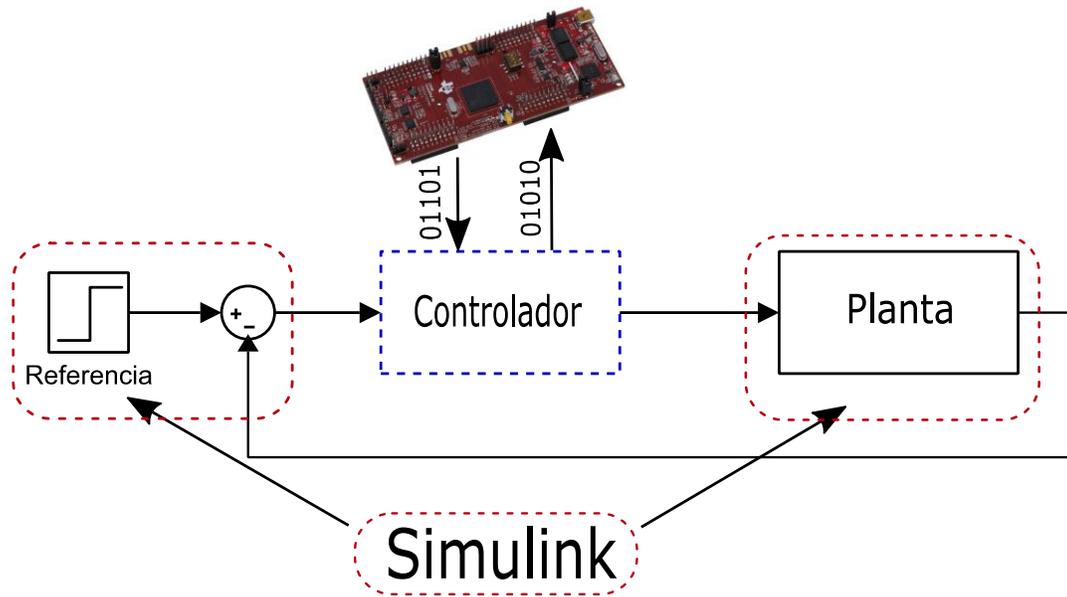


Figura 11 Lazo de control PIL

3 DISEÑO METODOLÓGICO

El desarrollo de este proyecto está enmarcado bajo una metodología compuesta por tres etapas, cada una enfocada al cumplimiento de un objetivo específico: diseño del algoritmo, diseño del filtro y la evaluación del rendimiento del sistema. Así mismo cada etapa se desglosa en una serie ordenada de cuatro ítems que se deben alcanzar para poder avanzar hacia la siguiente etapa, asegurando así que el proyecto fluya de una forma adecuada. En la Figura 12 se muestra el diagrama de la metodología.

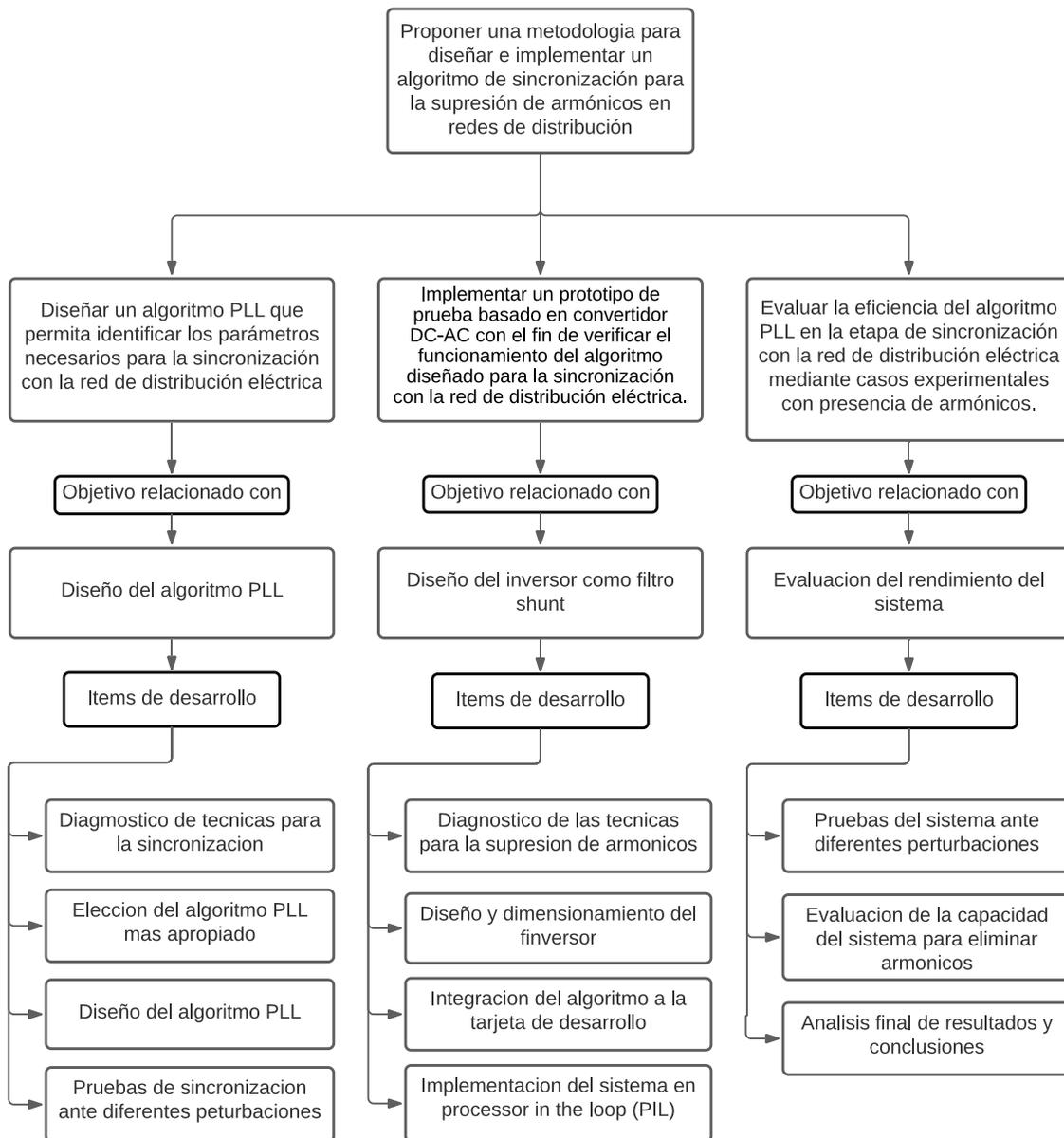


Figura 12 Metodología de desarrollo del proyecto

4 DISEÑO DEL ALGORITMO

En este capítulo se aborda el proceso de diseño para el algoritmo PLL que se desarrolló, teniendo como parámetros de diseño los valores de tensión y frecuencia presentes en redes residenciales. Se detalla la topología del algoritmo, los elementos que lo componen y su respuesta ante algunas perturbaciones

4.1 DISEÑO SOGI-PLL

4.1.1 Generación de la señal en cuadratura

Para el diseño del algoritmo PLL se consideran las características de tensión (120 Vrms) y frecuencia (60 Hz) típicas en una red eléctrica monofásica residencial. El diseño del algoritmo tomará como base la estructura de un SRF-PLL (Synchronous Reference Frame-PLL), por consiguiente, es necesario convertir la señal monofásica proveniente de la red en un sistema en cuadratura.

Una solución para este problema se proporciona reemplazando la transformada de Clarke usada en el SRF-PLL para los sistemas trifásicos, por un integrador generalizado de segundo orden (SOGI) ver Figura 13. Este integrador tomará la señal de tensión de entrada de la red y actuará como generador de señales ortogonales (QSG), obteniendo a su salida las componentes α y β equivalentes a las obtenidas por medio de la transformada de Clarke.

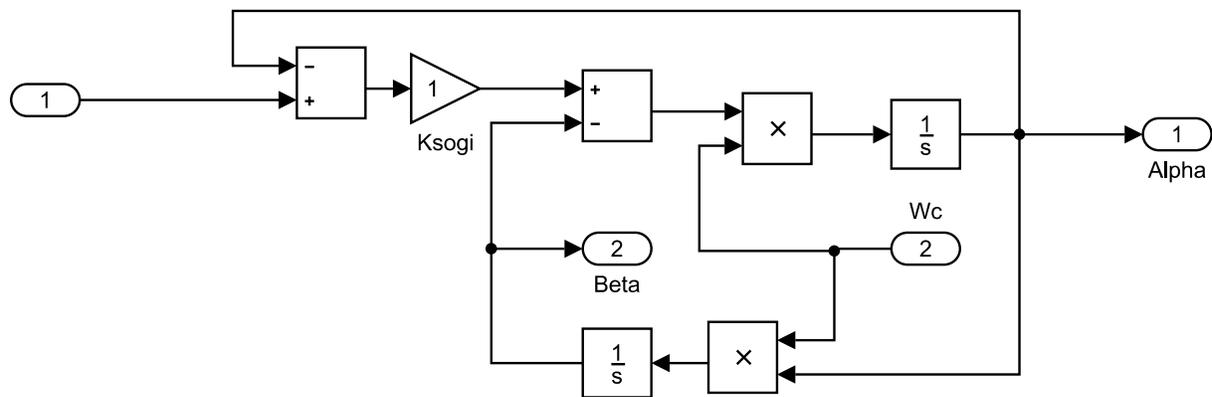


Figura 13 Estructura SOGI

El valor para la frecuencia de resonancia ω_c del integrador generalizado de segundo orden es elegido tomando como referencia la frecuencia de la red sobre la cual se realizará la sincronización. En la Figura 14 se puede observar la respuesta del SOGI ante la entrada de una señal seno, dando origen a un sistema en cuadratura formado por las componentes Alfa(α) y Beta(β).

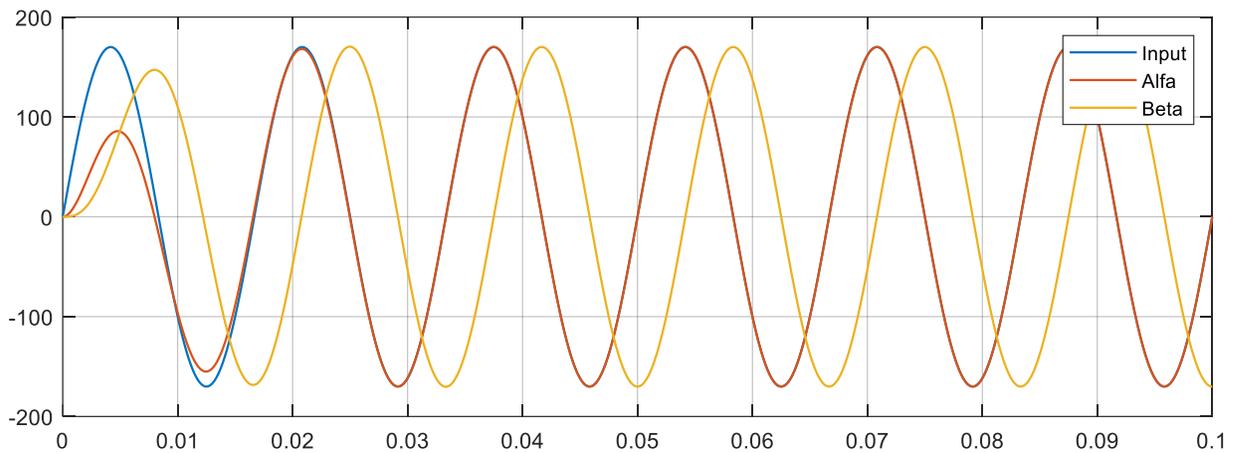


Figura 14 señales en cuadratura generadas por el SOGI

4.1.2 Cálculo del Controlador PI

Como se describió previamente en el análisis del funcionamiento del PLL, el controlador PI se emplea frecuentemente para sustituir el trabajo del filtro pasabajas. Observando la estructura del SRF-PLL (Figura 5), se pueden calcular los valores de la constante proporcional e integral k_p y k_i , teniendo en cuenta los parámetros de la Tabla 1.

Tabla 1 Requerimientos de diseño

Requerimiento	Valor
Tensión (v_g)	120_{rms}
Frecuencia	60 Hz
Factor de amortiguamiento (x)	0.7

Las funciones de transferencia en lazo abierto (4-1) y lazo cerrado (4-2) se expresan como:

$$G_{ol}(s) = v_g \frac{k_p s + k_i}{s} \frac{1}{s} \quad (4-1)$$

$$G_{cl}(s) = \frac{v_g (k_p s + k_i)}{s^2 + v_g k_p s + v_g k_i} \quad (4-2)$$

De la función de transferencia en lazo cerrado $G_{cl}(s)$ (4-2) se deduce:

$$\omega_n = \sqrt{v_g k_i} \quad (4-3)$$

$$\xi = \frac{v_g k_p}{2\sqrt{v_g k_i}} \quad (4-4)$$

Por lo tanto, despejando k_p y k_i de (4-3) y (4-4), se pueden concluir los siguientes valores para las constantes $k_p = 3.104$ y $k_i = 836$.

$$k_i = \frac{\omega_n^2}{v_g} = \frac{(2\pi \cdot 60)^2}{170} \approx 836$$

$$k_p = \frac{2 \cdot 0.7 \cdot \sqrt{170 \cdot 836}}{170} = 3.104$$

4.1.3 Topología final SOGI- PLL

La topología final del algoritmo PLL diseñado sigue una estructura SRF-PLL (ver Figura 15); se procederá a describir cada uno de los procesos que lo componen en función de la estructura básica del PLL.

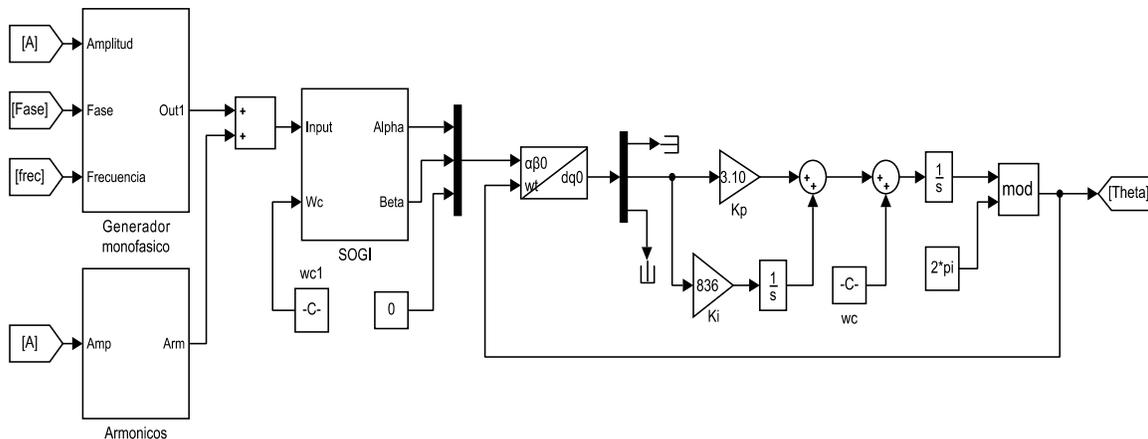


Figura 15 Topología final del algoritmo PLL propuesto

4.1.3.1 Detector de Fase

El detector de fase que constituye el primero de los tres componentes básicos en la estructura de un PLL, se formó para un SRF-PLL a partir de los siguientes dos procesos:

Generación del sistema en cuadratura: puesto que la estructura SRF-PLL necesita para su inicio un sistema en cuadratura y la entrada al sistema será monofásica, se hace uso del integrador generalizado de segundo orden (SOGI) como reemplazo de la transformada de Clarke, obteniendo las componentes $\alpha\beta 0$. En la Figura 16 se aprecian las dos señales desfasadas 90° formando el sistema en cuadratura.

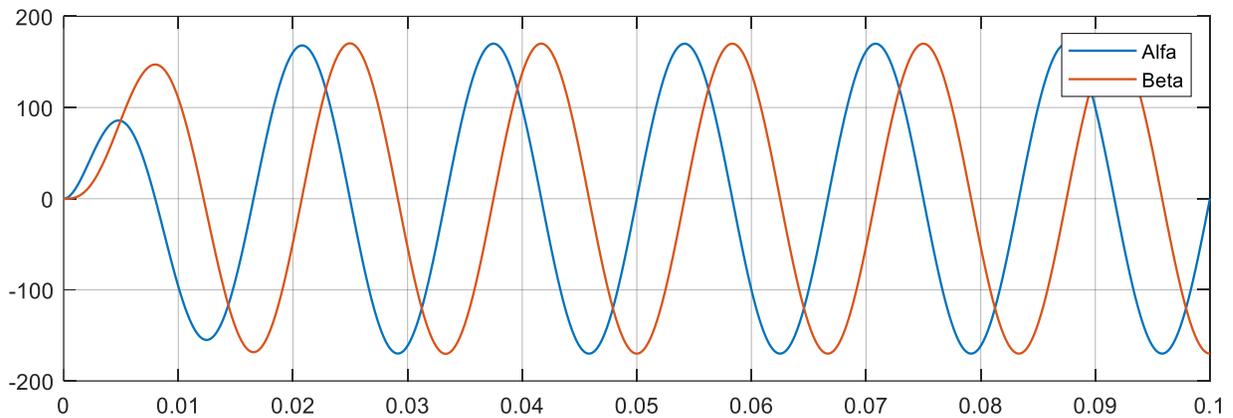


Figura 16 Componentes α y β a la salida del SOGI

Generación sistema síncrono rotacional: las componentes $dq0$ son obtenidas aplicando la transformada de Park a las componentes $\alpha\beta 0$ provenientes del SOGI. En la Figura 17 se observa como la componente directa (d) mantiene la misma amplitud que la señal original (170_{vpp}), en la Figura 18 se muestra el comportamiento de la componente ortogonal (q), la cual se estabiliza en cero cuando el sistema se ha sincronizado.

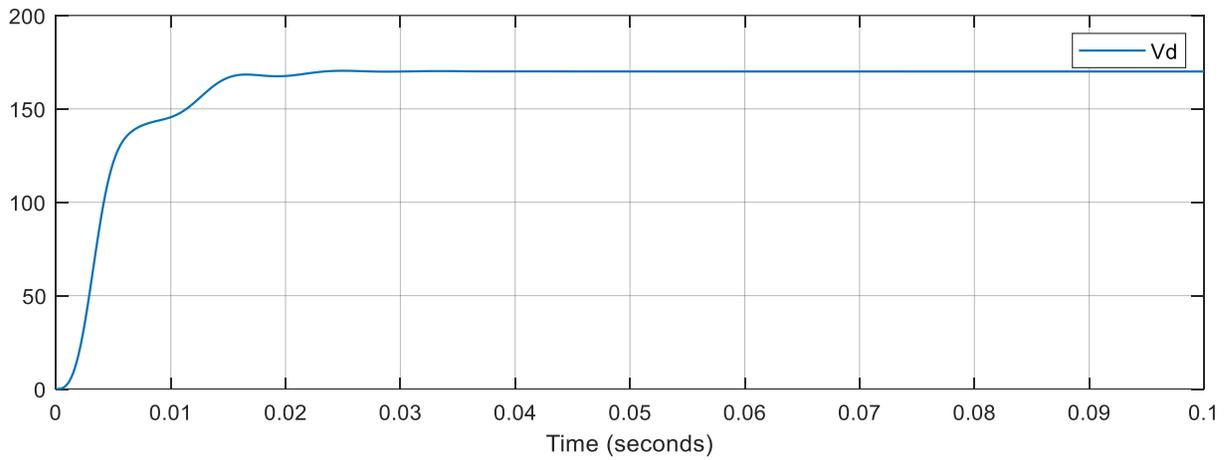


Figura 17 Componente d "Señal directa"

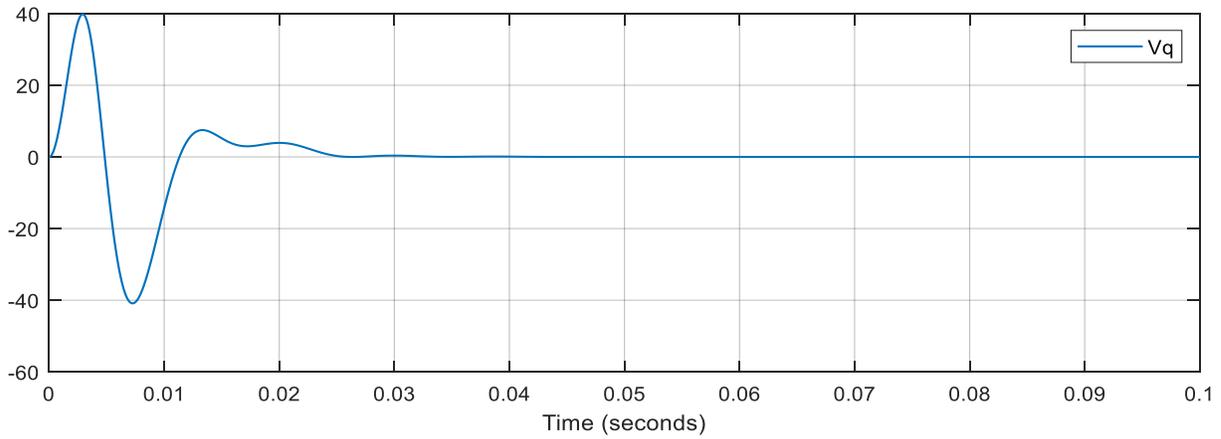


Figura 18 Componente q "señal ortogonal"

4.1.3.2 Filtro pasabajas

En este trabajo se reemplazó el filtro pasabajas por un control PI, este se asegura de mantener en cero la componente "q" proveniente del sistema síncrono rotacional. (Figura 19).

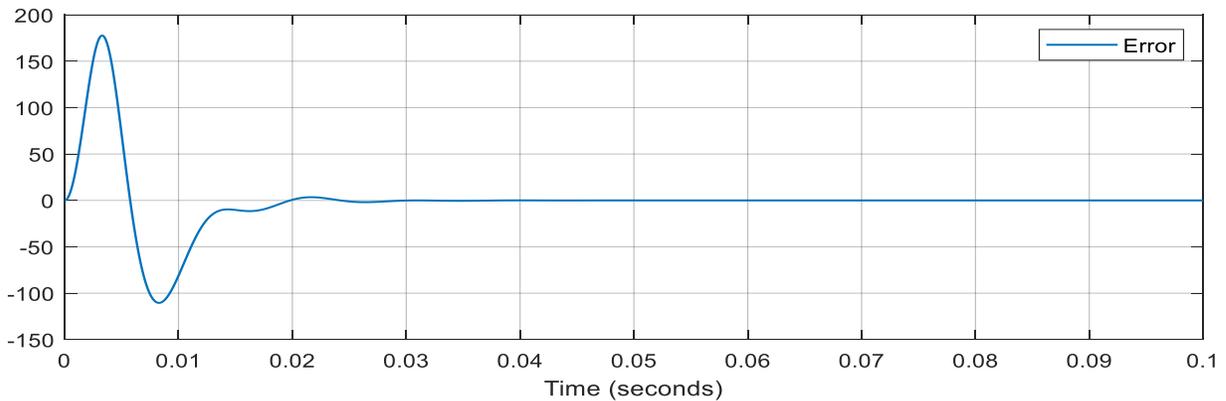


Figura 19 Respuesta del controlador PI

4.1.3.3 Oscilador controlado por voltaje VCO

El oscilador controlado por voltaje en la estructura SRF-PLL se logra sumando a la salida del controlador PI la frecuencia central ω_c la cual para este caso se toma como la frecuencia de la red, y luego por medio de un integrador se obtiene una función lineal con pendiente igual a la frecuencia angular.

4.1.4 Respuesta del algoritmo PLL ante diferentes perturbaciones

En la Figura 20 y Figura 21 se puede observar como el PLL responde de una forma rápida y precisa para la sincronización teniendo como entrada una señal sin perturbaciones. Sin embargo, debido a que este ambiente ideal es poco usual en las redes actuales, haciendo uso de la herramienta Simulink desarrollada por Mathworks, se somete el algoritmo por medio de simulaciones ante diferentes escenarios con presencia de algunas perturbaciones como los son: cambios de fase, hundimientos de tensión y distorsión armónica.

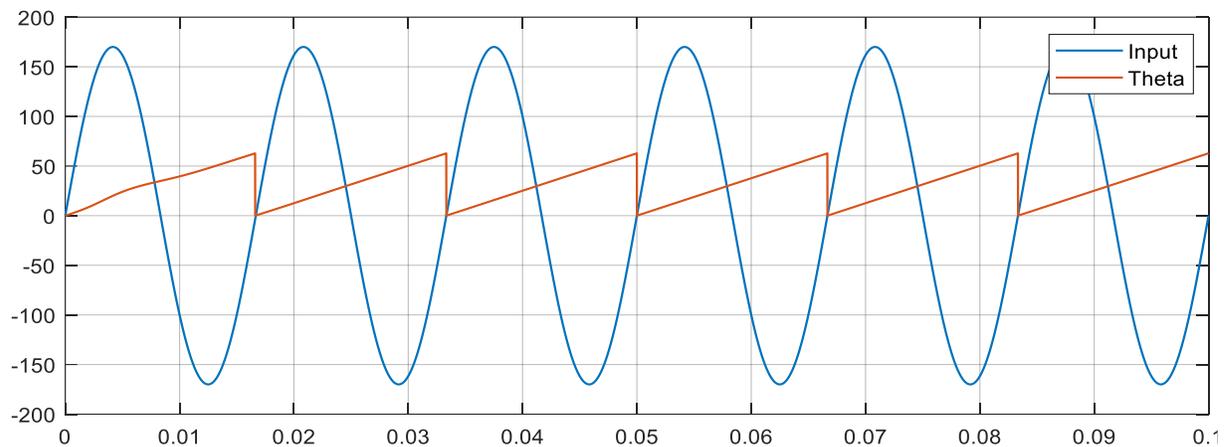


Figura 20 Sincronización del PLL en condiciones ideales

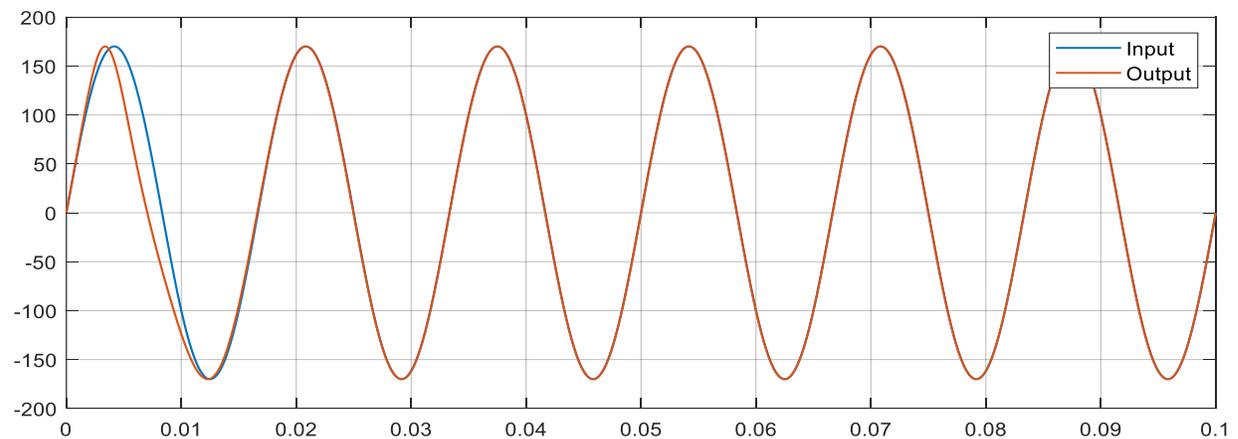


Figura 21 Generación de una onda seno con datos del PLL

Los resultados obtenidos en las simulaciones se presentan en las Figura 22-26.

4.1.4.1 Caso 1. Hundimientos de tensión

Para este primer caso se somete el algoritmo SOGI-PLL a hundimientos de tensión entre el 25% y 75%. En la Figura 22 se observa la señal de tensión de red (color azul) con presencia de hundimientos de tensión a partir del instante $t=0.05$ s y la evolución del ángulo theta de salida del algoritmo (señal de color rojo). Se puede evidenciar como el algoritmo actúa eficazmente ante este tipo de perturbaciones; no obstante, a medida que el hundimiento de tensión es mayor, el tiempo de establecimiento aumenta.

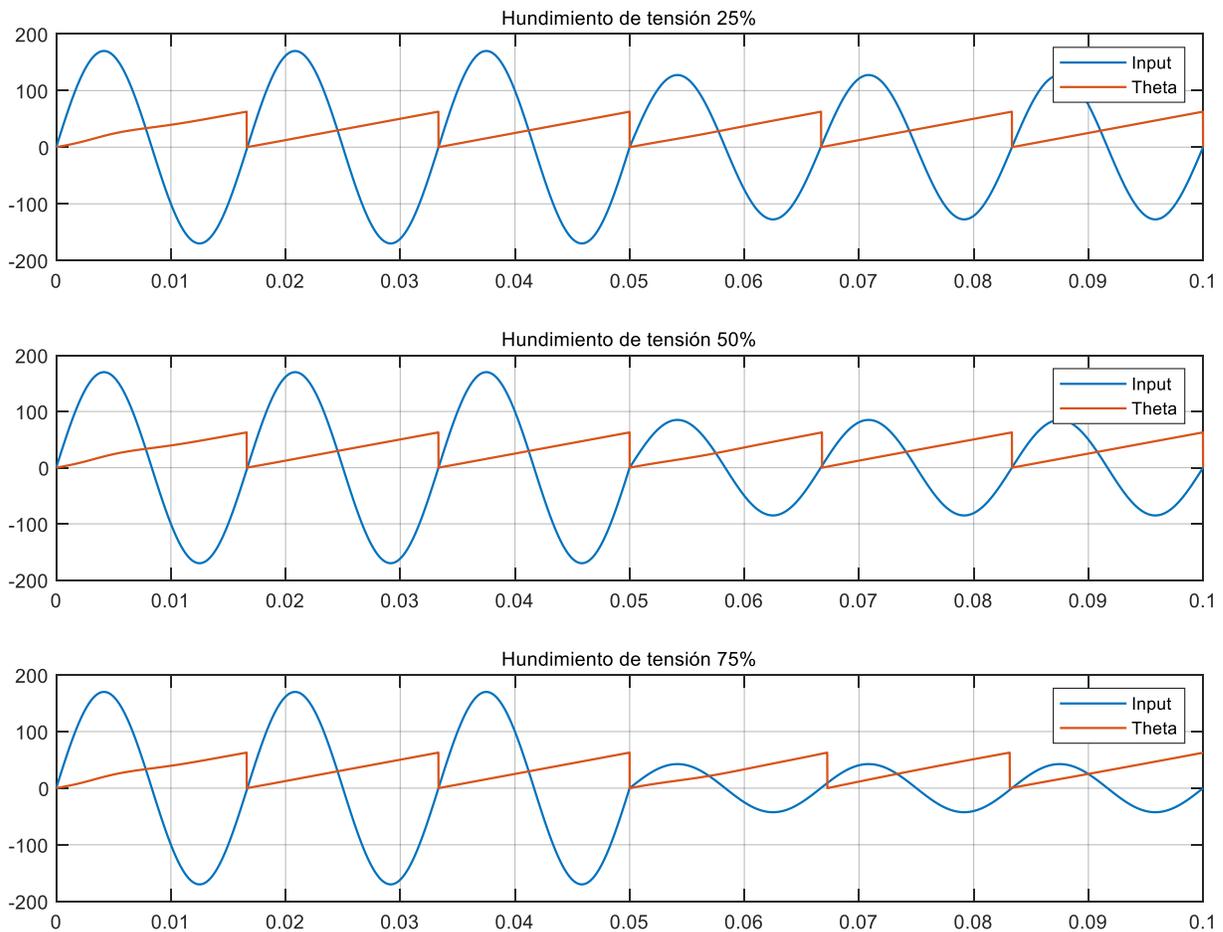


Figura 22 Respuesta del PLL ante hundimientos de tensión

4.1.4.2 Caso 2. Cambio de fase

Es de vital importancia que el algoritmo sea capaz de sincronizarse de una forma precisa y rápida ante posibles cambios de fase que se puedan llegar a presentar en la red. Para comprobar la respuesta del algoritmo SOGI-PLL ante este tipo de perturbaciones se realiza una serie de simulaciones en donde se practican cambios de fase con ángulos de 45° , 90° y 120° . Los resultados de estas pruebas se muestran en la Figura 23, se puede observar que el algoritmo tarda menos de un ciclo para ajustarse nuevamente al valor de fase de la señal de entrada.

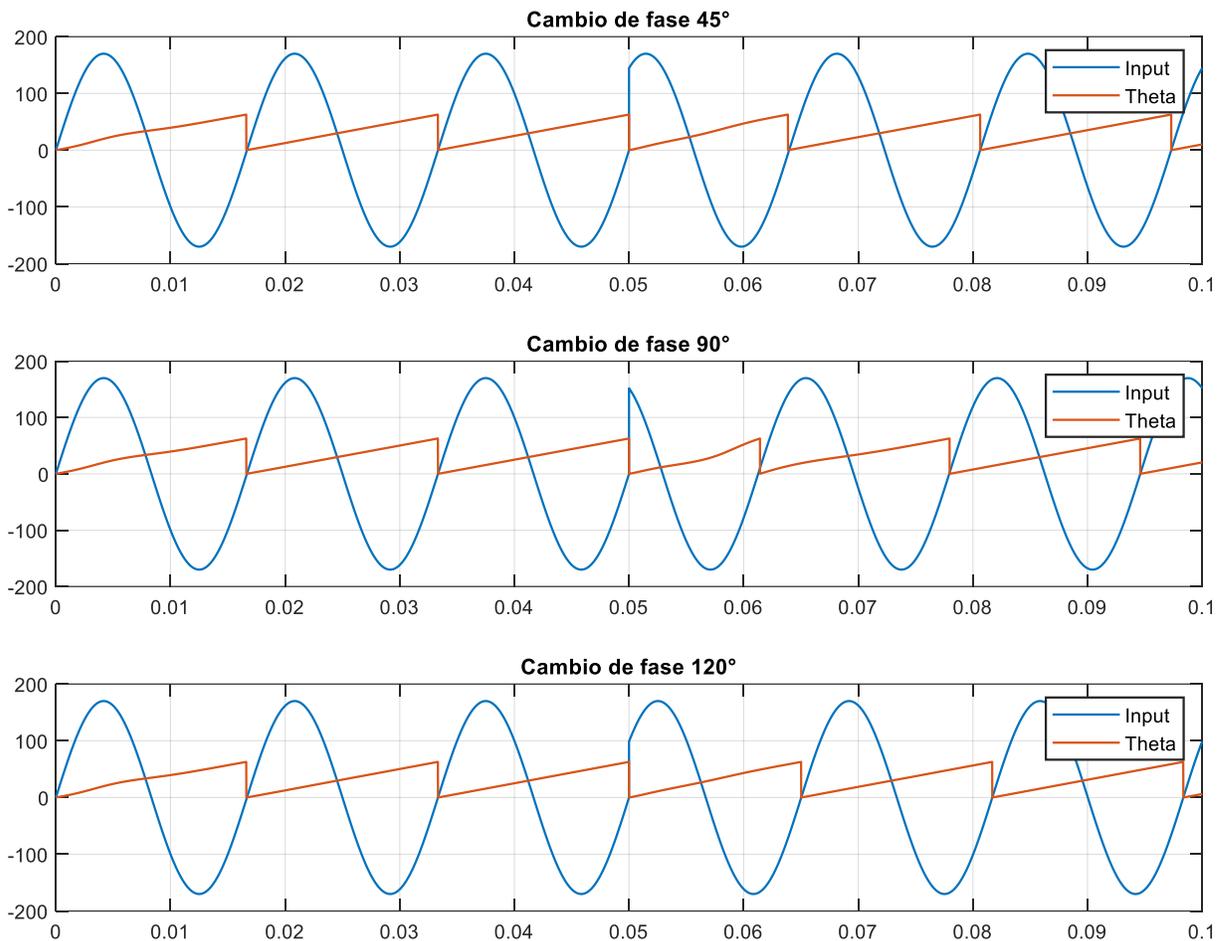


Figura 23 Respuesta del PLL ante cambios de fase

4.1.4.3 Caso 3. Cambios de frecuencia

En la Figura 24 se muestran los resultados de las simulaciones obtenidas al poner a prueba el algoritmo SOGI-PLL ante cambios de frecuencia. La frecuencia central para la cual se diseñó el SOGI-PLL es 60 Hz que corresponde con la frecuencia de los sistemas monofásicos residenciales. De los resultados adquiridos se aprecia como el

algoritmo es sensible ante cambios de frecuencia mayores a 2 Hz, esto podría ocasionar que el proceso de sincronización presente fallas.

De los resultados obtenidos se evidencian problemas de sincronización, el ángulo de fase theta (señal color rojo) y la señal de tensión (color azul) no se interceptan en el cruce por cero; en la Figura 24 se realiza un acercamiento en esta región y se aprecia como el error en la precisión del ángulo theta crece al aumentar la frecuencia.

Es importante resaltar que usualmente dentro de una red no se presentan cambios de frecuencia mayores a 2 Hz; sin embargo, se plantean algunos casos de estudio para poner a prueba el SOGI-PLL frente a este tipo de perturbaciones.

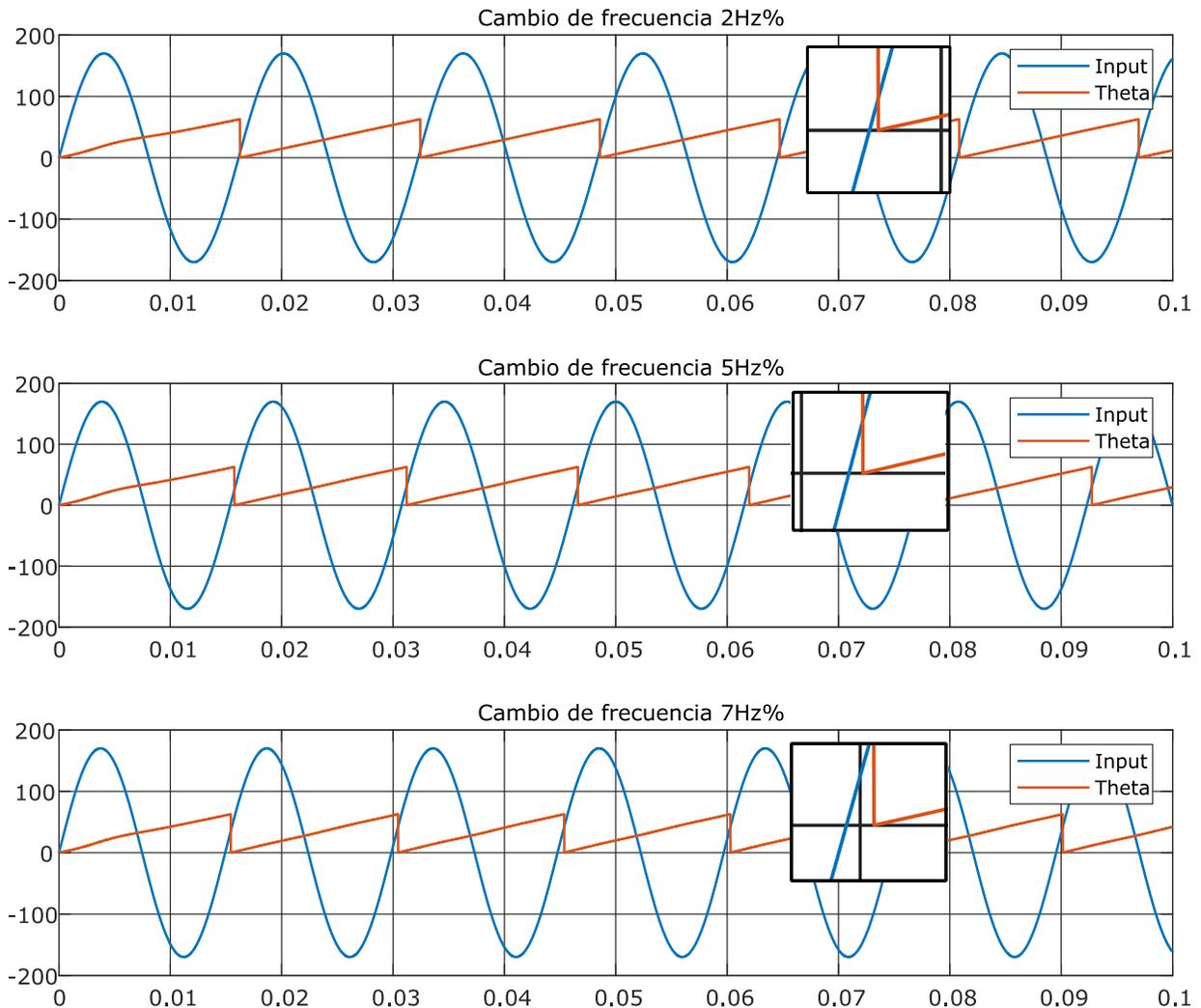


Figura 24 Respuesta ante cambios de frecuencia

Existe una alternativa para minimizar estos errores de sincronización debido a la alta sensibilidad del sistema, para ello se debe ajustar la ganancia k_s del filtro SOGI; como se presentó en la Figura 8 y Figura 9, al aumentar el valor de la ganancia k_s se disminuye la selectividad y se aumenta el ancho de banda para el PLL. No obstante, al ampliarse el ancho de banda el sistema este tiende a alcanzar una respuesta dinámica mas lenta, como consecuencia el tiempo de establecimiento es mayor.

En la Figura 25 se aprecia la respuesta del SOGI-PLL ante los diferentes cambios de frecuencia que se realizaron anteriormente, en esta prueba se reajustó el valor de la ganancia k_s siendo:

- $k_s = 2$ para cambios de 2 Hz
- $k_s = 5$ para cambios de 5 Hz
- $k_s = 10$ para cambios de 10 Hz

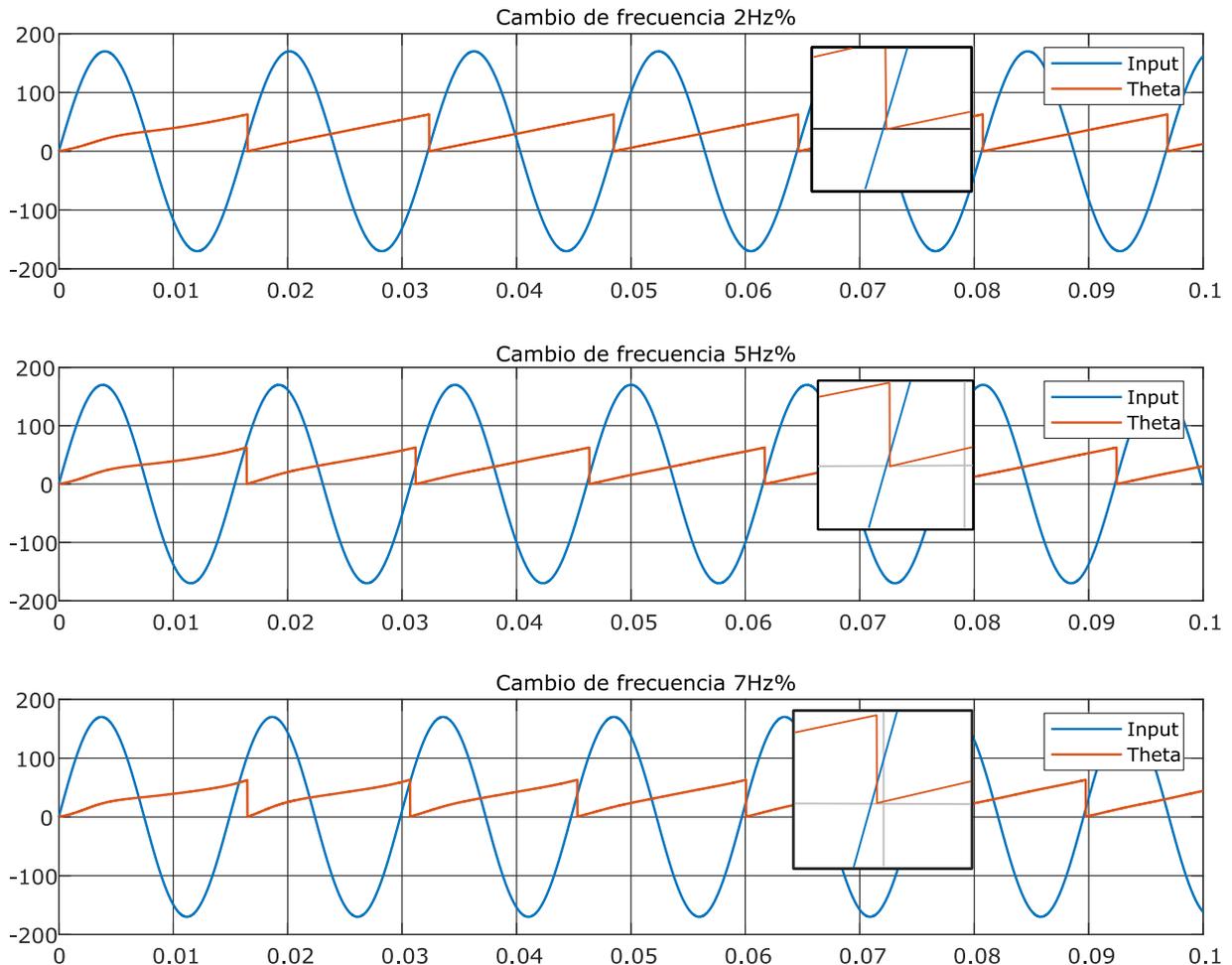


Figura 25 Cambio de frecuencia

4.1.4.4 Caso 4. Armónicos

La presencia de armónicos en las redes eléctricas actuales es un problema usual, por ende, el algoritmo debe ser capaz de afrontar dichas perturbaciones y entregar eficientemente la información de la red dentro de la etapa de sincronización. Para este caso se realizan una serie de simulaciones en donde la señal de la red con una frecuencia fundamental de 60 Hz presenta armónicos de 3°, 5° y 7° orden con magnitudes del 18%, 13% y 8% respecto a la amplitud de la fundamental que para este caso es 170_{vpico} . Los resultados obtenidos se muestran en la Figura 26.

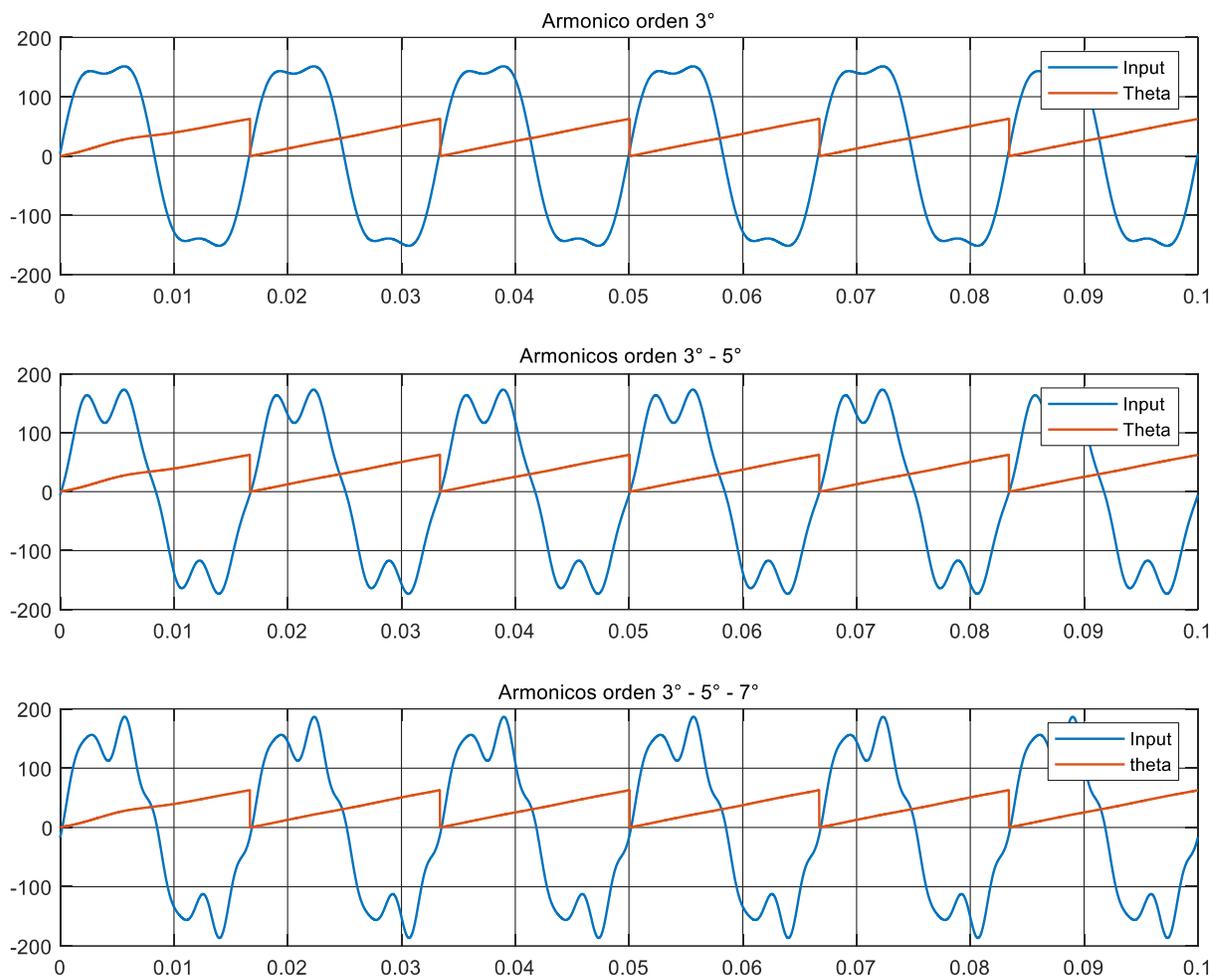


Figura 26 Respuesta del PLL ante distorsión armónica

4.1.4.5 Caso 5. Múltiples perturbaciones

Dado que en una red pueden presentarse simultáneamente más de un tipo de perturbación es necesario que el algoritmo tenga la capacidad de trabajar en dichos ambientes. En la Figura 27 se presentan tres diferentes escenarios; observando los resultados se aprecia la eficiencia del algoritmo SOGI-PLL al trabajar en ambientes donde se presenta paralelamente:

- Contaminación armónica y cambio de fase (90°)
- Contaminación armónica y hundimientos de tensión (50%).
- Contaminación armónica, cambio de fase (90°) y hundimientos de tensión (50%)

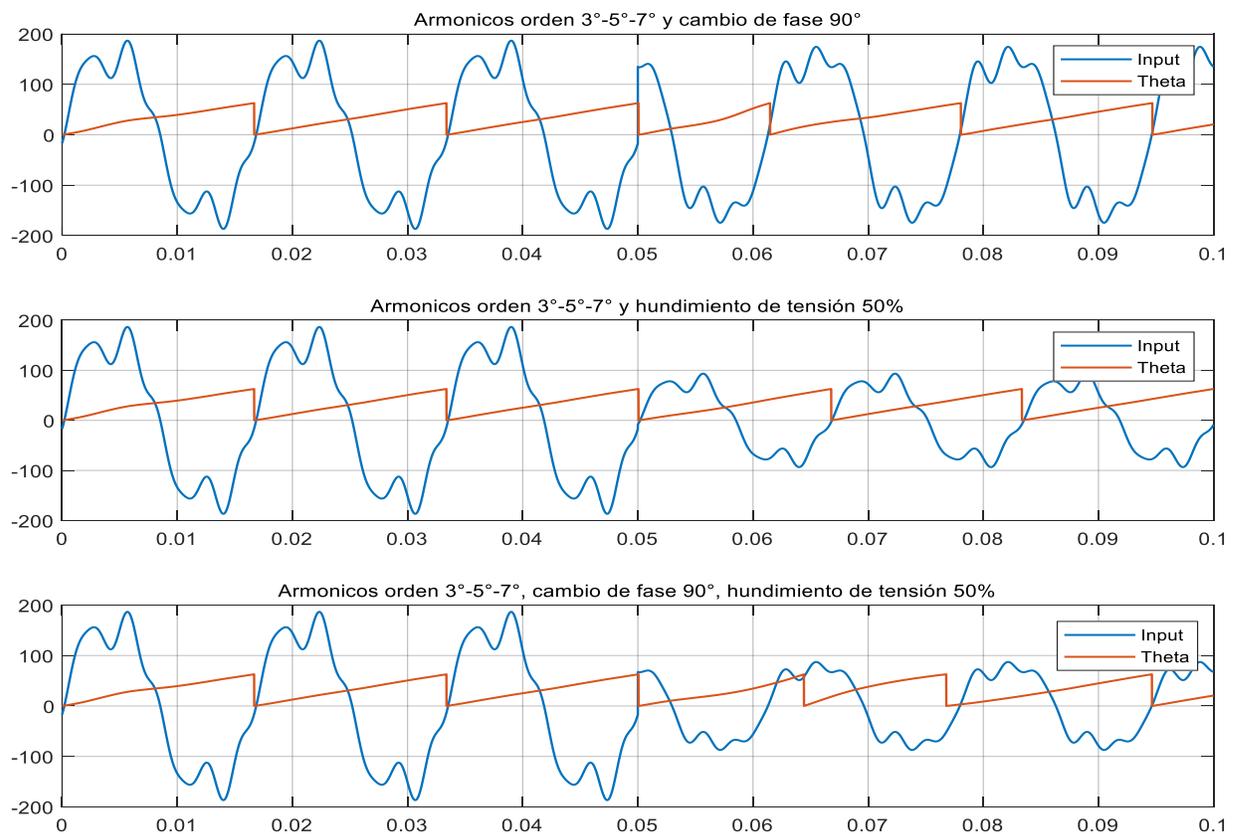


Figura 27 Respuesta del PLL ante múltiples perturbaciones

En la Figura 27 se muestra la respuesta del algoritmo PLL teniendo como entrada una señal de tensión con armónicos de 3-5-7 orden y una perturbación a partir del instante $t=0.05$ s. En la primera gráfica se presenta en la señal de entrada un cambio de fase de 120° a partir del instante $t=0.05$ s, el estado transitorio del algoritmo es aproximadamente de 27 ms.

En la segunda gráfica se expone el algoritmo ante un hundimiento de tensión del 50%, en esta prueba el algoritmo ofrece una respuesta rápida y eficaz ante esta perturbación. En la tercera gráfica el algoritmo es sometido ante las anteriores perturbaciones simultáneamente, el tiempo de estabilización (45 ms) es mayor al obtenido en las anteriores pruebas (27 ms).

Este capítulo presentó el proceso de diseño del algoritmo SOGI-PLL, donde por medio del integrador generalizado de segundo orden se adaptó la estructura SRF-PLL para un sistema monofásico. La precisión de la información que genera el algoritmo es de vital importancia para el control del inversor; por tal motivo, el algoritmo diseñado fue sometido ante diferentes casos de estudio con el fin de probar el desempeño ante posibles perturbaciones en la red tales como: hundimientos de tensión, distorsión armónica, cambios de fase y frecuencia. Los resultados obtenidos permitieron determinar que el algoritmo ofrece una respuesta eficaz ante la mayoría de las perturbaciones a las que fue sometido, por lo tanto, se aprobó para seguir con el desarrollo del proyecto.

5 DISEÑO DEL INVERSOR E INTEGRACIÓN DEL ALGORITMO

En este capítulo se presenta el proceso realizado para el diseño del inversor, se expone el dimensionamiento para los dispositivos que lo conforman según los parámetros establecidos. También se muestran las características técnicas de tarjeta de desarrollo sobre la cual se implementará el algoritmo, junto con la integración al inversor por medio de la técnica processor in the loop (PIL).

5.1 DISEÑO DEL FILTRO SHUNT

5.1.1 Dimensionamiento

El filtro activo de potencia Shunt que se implementará consta de un inversor en una topología de medio puente (ver Figura 28). Para el dimensionamiento de sus dispositivos semiconductores, capacitores e inductor de acople, se tomaron como referencia los parámetros mostrados en la Tabla 2.

Tabla 2 Parámetros de diseño

PARAMETRO	VALOR
Tensión nominal	$120 V_{rms}$
Corriente máxima	$75 A_{pico}$
Índice de modulación (m_a)	0.8
Rizado de la corriente	10% (7.5 A)
Frecuencia de conmutación (f_s)	30 kHz

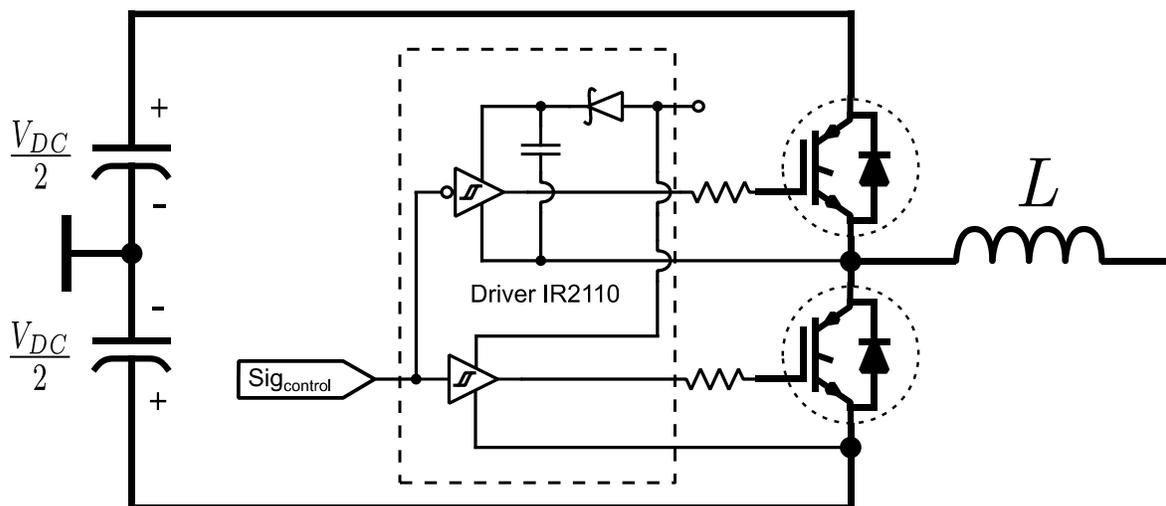


Figura 28 Topología filtro Shunt

Los cálculos realizados para hallar los valores de tensión DC, el inductor de acople y los capacitores son realizados bajo algunas deducciones del circuito [27].

5.1.1.1 Tensión DC

El cálculo para la tensión DC requerida por el inversor se realiza según las siguientes ecuaciones.

$$m_a = \frac{v_{pico}}{v_{DC}/2}$$

$$V_{DC} = \left(\frac{2 \cdot v_{pico}}{m_a} \right) \cdot 1.2$$

$$V_{DC} = \left(\frac{2 \cdot (\sqrt{2} \cdot 120)}{0.8} \right) \cdot 1.2 = 510 V$$

Para el rizado se tiene:

$$\Delta V_{DC} = 1\% (V_{DC}) = 5.1 V$$

5.1.1.2 Inductor de acople

Para el hallar el valor del inductor de acople se realizan los siguientes cálculos teniendo en cuenta el valor de la tensión DC encontrado previamente.

$$\Delta i_L = \frac{1}{L} \int V_L(t) dt \approx \frac{1}{L} V_{L_max} \cdot \Delta t$$

$$V_{L_max} = \frac{\left(\frac{V_{DC}}{2} + V_{pico} \right)}{2 \cdot F_s \cdot \Delta i_L}$$

$$V_{L_max} = \frac{\left(\frac{510}{2} + \sqrt{2} \cdot 120 \right)}{2 \cdot 30000 \cdot 7.5} = 0.94 mH$$

La corriente nominal para la cual se diseñó el sistema es $53 A_{rms}$, por lo tanto se elige un calibre AWG 6 para el conductor del inductor.

5.1.1.3 Capacitor

El valor del capacitor DC es calculado de la siguiente forma:

$$\Delta v_c = \frac{1}{C} \int i_c(t) dt \approx \frac{1}{C} I_{C_max} \cdot \Delta t$$

$$I_{C_max} = 0.3 P_{ac} = \frac{0.3(i_{pico} \cdot v_{pico})}{2}$$

$$C_{min} = \frac{0.3 \cdot (i_{pico} \cdot v_{pico})}{4 \cdot F_s \cdot \Delta v_C}$$

$$C_{min} = \frac{75 \cdot \sqrt{2} \cdot 120}{4 \cdot 30000 \cdot 5.1} = 6.2 \text{ mF}$$

$$C_1 = C_2 = 2C_{min} = 12.4 \text{ mF}$$

5.1.1.4 Transistor

Debido a las magnitudes de tensión y corriente sobre las cuales trabajará el inversor, se optó por elegir el transistor IGBT TO-247-3 [28], el cual cumple con los requerimientos de tensión ($510 V_{DC}$) y corriente ($53 A_{rms}$) necesarios para que el inversor tenga un buen desempeño del sistema.

5.1.1.5 Controlador de compuerta (Driver IGBT)

Para la conmutación de los transistores se determinó usar el driver IR2110 [29], este permite trabajar en altas velocidades de conmutación; su uso se extiende en aplicaciones de control de motores, sistemas de alimentación ininterrumpida e inversores para sistemas fotovoltaicos.

5.1.1.6 Sensor de corriente

Para el continuo monitoreo de la corriente se decidió usar una medición no invasiva mediante un sensor de corriente tipo Hall SCT-013-000 como el mostrado en la Figura 29, este tiene un rango de medida de 0~100A con una linealidad de $\pm 3\%$.



Figura 29 Sensor de corriente hall SCT-013-000 [30]

5.1.2 Estrategia de compensación

Para la generación de la corriente de compensación que requiere el filtro Shunt se hará uso de la estrategia de compensación PHC (Perfect Harmonic Cancellation). Este método busca compensar todos los armónicos de corriente generados por las cargas no lineales presentes en la red, para esto la fuente de corriente debe estar en fase con la componente positiva del voltaje en el PCC (Point of Common Coupling).[26]

$$i_{\text{filtro}}(t) = \frac{P}{U_{RMS_1}^2} u_1(t) - i(t) \quad (5-1)$$

Donde:

$$P = \frac{1}{T} \int_T u(t) i(t) dt$$

$$U_{RMS_1}^2 = \int_T u_1^2(t) dt$$

En la Figura 30, se muestra el diagrama de bloques para la implementación de la estrategia de compensación PHC tomando como referencia la ecuación (5-1), además la información proporcionada por el algoritmo SOGI-PLL es adicionada a la estrategia de compensación propuesta.

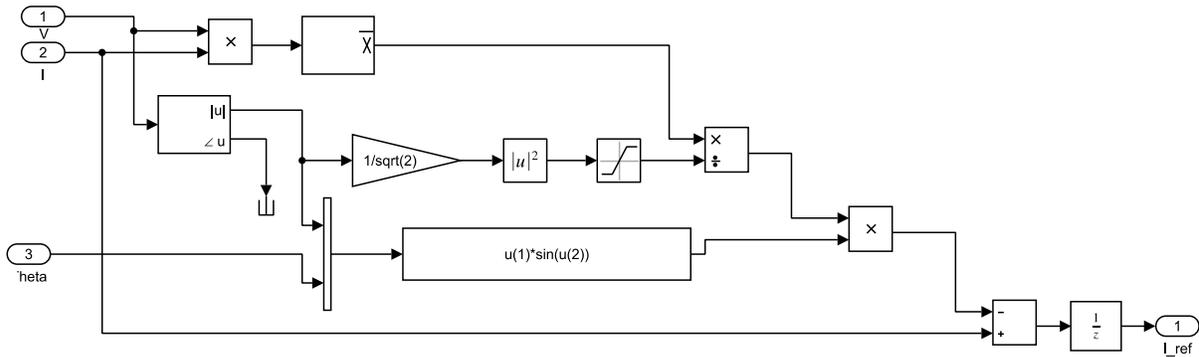


Figura 30 Diagrama de bloques estrategia de compensación PHC

5.1.3 Estrategia de control

El control PWM para el inversor del filtro Shunt se realiza mediante un control por histéresis de corriente. El control por histéresis es uno de los más simples de implementar, este controlador mediante un comparador hace que la planta se encuentre en solo dos estados (encendido o apagado) ver Figura 31 [31].

Para este control se define una banda de histéresis (HB) ver Figura 31; si la señal de realimentación se encuentra por encima de la banda HB, la planta se encontrará en un estado x_1 , si por el contrario la señal de realimentación está por debajo de la HB, pasará al otro estado x_2 . Si la señal de realimentación está dentro de la HB, la planta seguirá en el mismo estado que se encuentra.

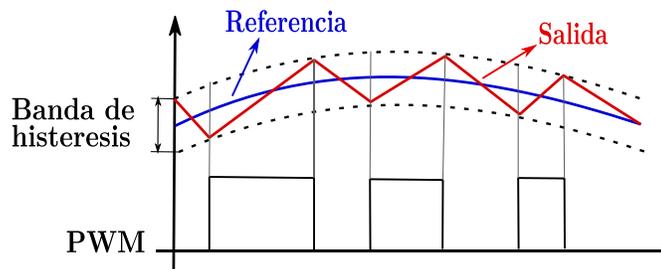


Figura 31 Modulación PWM controlada por histéresis

En la Figura 32 (a), se identifican los límites superior e inferior de la banda de histéresis como:

$$i_{up} = i_{ref} + HB \quad (5-2)$$

$$i_{low} = i_{ref} - HB \quad (5-3)$$

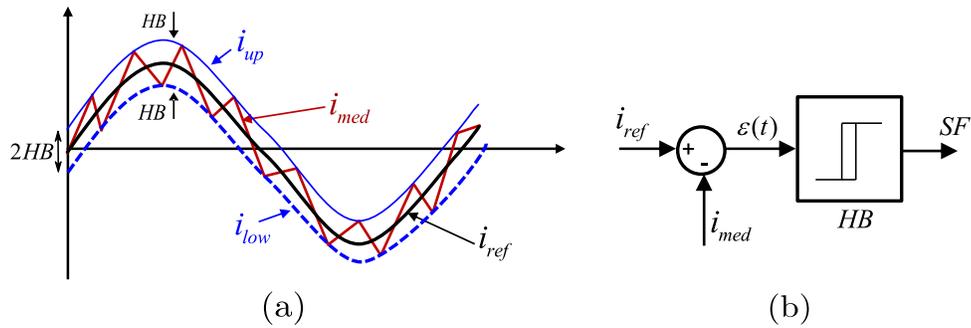


Figura 32 (a) Banda de histéresis (b) Esquema de control por histéresis

Teniendo en cuenta una banda de histéresis como muestran las ecuaciones (5-2) y (5-3), la lógica de control se establece por las siguientes condiciones:

Tabla 3 Lógica de control

Condición	Estado SF
$i_{med} < i_{ref} - HB$	1
$i_{med} > i_{ref} + HB$	0

La representación de la estrategia de control planteada anteriormente (Tabla 3), es implementada en la herramienta simulink por medio del diagrama de bloques mostrado en la Figura 33. Este sistema compara la corriente i_{med} con i_{ref} proveniente de la estrategia de compensacion generando en su salida el control PWM para el inversor.

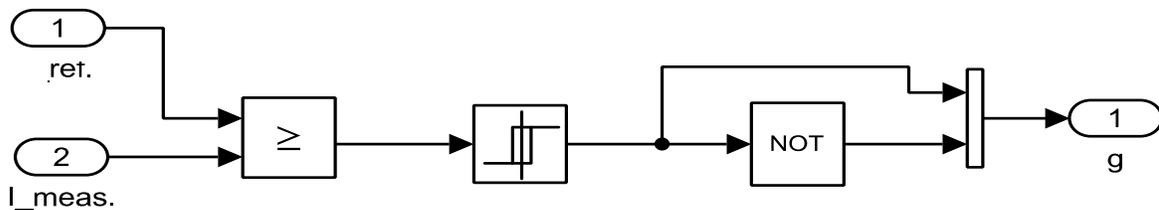


Figura 33 Estrategia de control PWM por histéresis

5.1.4 Integración del algoritmo SOGI-PLL al inversor

El sistema propuesto en la Figura 34 se compone de una fuente de tensión AC la cual representa la red eléctrica comercial, está creada para ofrecer una tensión de $120 V_{rms}$, una frecuencia de 60Hz. La fuente se estableció con una resistancia interna de 0.08Ω y una inductancia interna de $0.5 \mu H$.

El algoritmo SOGI-PLL diseñado (ver Figura 15), realiza continuamente el monitoreo sobre los parámetros de frecuencia y fase en la señal de tensión de la red, esta información es un insumo para la aplicación de la estrategia de compensación PHC propuesta en la Figura 30, generando así la corriente de referencia que será utilizada por la estrategia de control por histéresis (Figura 33). Para la producción de armónicos de corriente (3-5-7 orden) dentro de la red, se simuló el comportamiento de una carga no lineal, para esto se agregó un rectificador de puente completo junto con una carga RC el diagrama final se puede observar en la Figura 34.

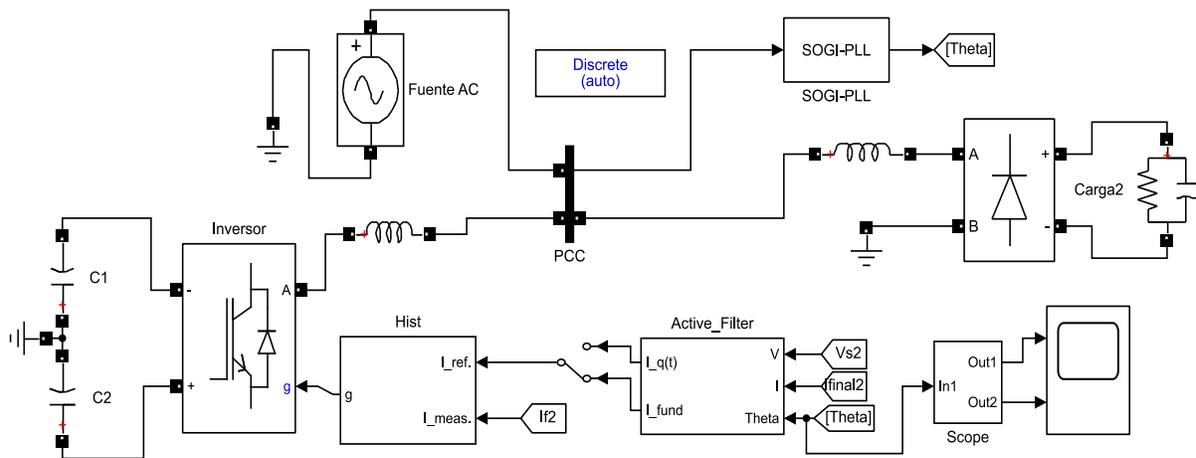


Figura 34 Diagrama integración del algoritmo PLL al filtro Shunt

5.2 PROCESSOR IN THE LOPP (PIL)

Una vez diseñados el algoritmo y el inversor se procedió a realizar la implementación del sistema usando la técnica "Processor in the loop"; para esto el algoritmo SOGI-PLL es incorporado a la tarjeta de desarrollo.

5.2.1 Tarjeta de desarrollo

Para la elección de la tarjeta de desarrollo sobre la cual se implementó el algoritmo se evaluaron principalmente características técnicas concernientes a la velocidad de procesamiento, memoria RAM y compatibilidad con el entorno Simulink. La tarjeta "LAUNCHXL-F28379D" (Figura 35) [12], fue seleccionada debido a que sus características cumplían con los requerimientos necesarios para el trabajo mediante la técnica PIL, además cuenta con el soporte por parte de Matlab para la integración en la herramienta Simulink. (Ver Tabla 4).



Figura 35 Tarjeta LAUNCHXL-F28379D [32]

Tabla 4 Características tarjeta LAUNCHXL-F28379D

Características	LAUNCHXL-F28379D
Precio	\$33.79 (USD)
Arquitectura	32 bits
Frecuencia de CPU	200MHz
Memoria RAM	204KB
Memoria Flash	1 MB
Pines GPIO	40
Pines ADC	SI
Pines DAC	SI
Comunicación serial	SI
Soporte para PIL	SI

5.2.2 Configuración del entorno PIL

Para la implementación el algoritmo en la tarjeta de desarrollo es importante asegurarse de tener activas las librerías de soporte para la tarjeta “LAUNCHXL-F28379D” en Simulink; una vez abierto el modelo en Simulink y dentro del apartado de configuraciones, se realizó la selección de la tarjeta junto al puerto USB para la comunicación serial.

Una vez se ha configurado Simulink para el reconocimiento de la tarjeta, se procedió a la creación del bloque PIL; para esto se seleccionó del modelo el subsistema que aloja el algoritmo SOGI-PLL y se transfirió a la tarjeta mediante la opción “Deploy selected subsystem to hardware”, segundos después se generó el bloque PIL que se usó para reemplazar al subsistema original del SOGI-PLL en el modelo. La estructura interna del bloque PIL se presenta en la Figura 38, el reconocimiento de la tarjeta se muestra en la Figura 36.

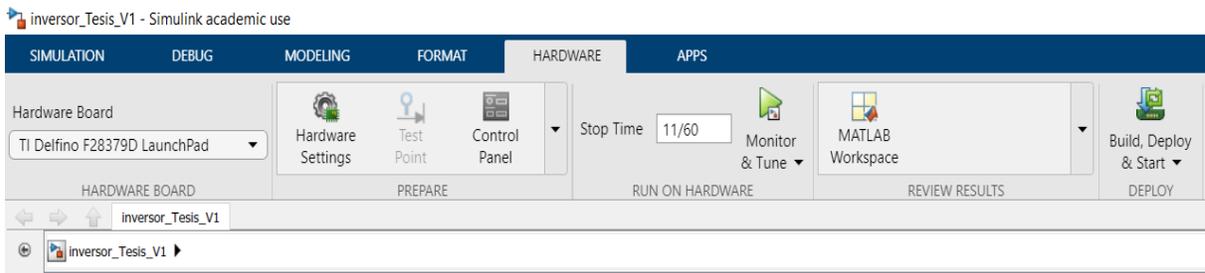


Figura 36 Reconocimiento de la tarjeta

A partir del modelo visto en la Figura 34, se realizaron cambios para ajustar el tipo de datos de entrada (single) y salida (double) del bloque PIL (ver Figura 37), estos son necesarios para permitir que la tarjeta pueda procesar los datos de una manera correcta. Las configuraciones realizadas pueden llegar a cambiar según la versión de Matlab que se use, para este proyecto se trabajó en la versión 2020b. Para más información se puede consultar el soporte que ofrece Matlab [33].

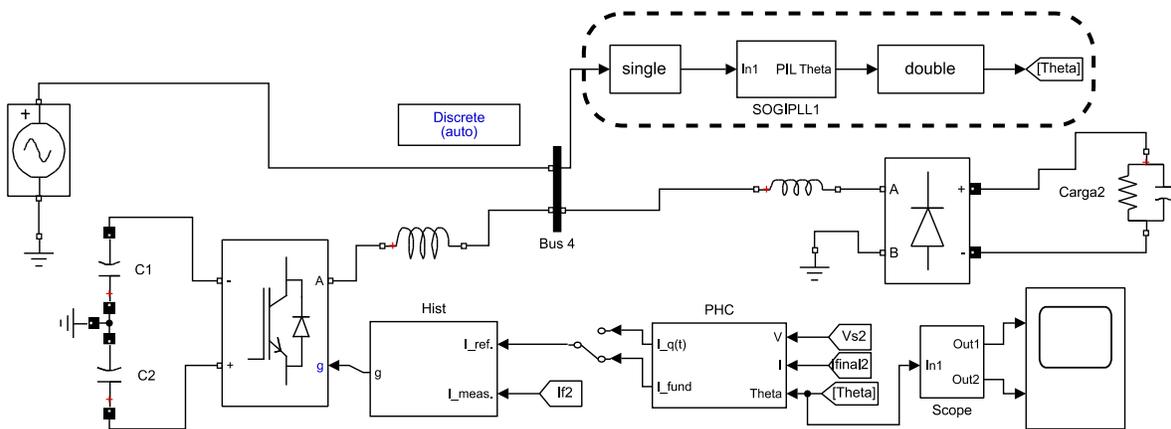


Figura 37 Bloque PIL implementado en el modelo



Figura 38 Interior del bloque PIL

Una vez terminadas las configuraciones necesarias para la implementación del PIL, el algoritmo PLL queda cargado en la tarjeta de desarrollo y se ejecuta desde misma, permitiendo así evaluar las limitaciones de hardware en la práctica.

Tomando el modelo presentado en la Figura 37 se realizo una prueba preliminar del sistema sin perturbaciones de tension en la fuente, el resultado obtenido se muestra en la Figura 39. Se puede evidenciar el buen desempeño del algoritmo implementado en la tarjeta de desarrollo gracias a que posee una alta capacidad de procesamiento.

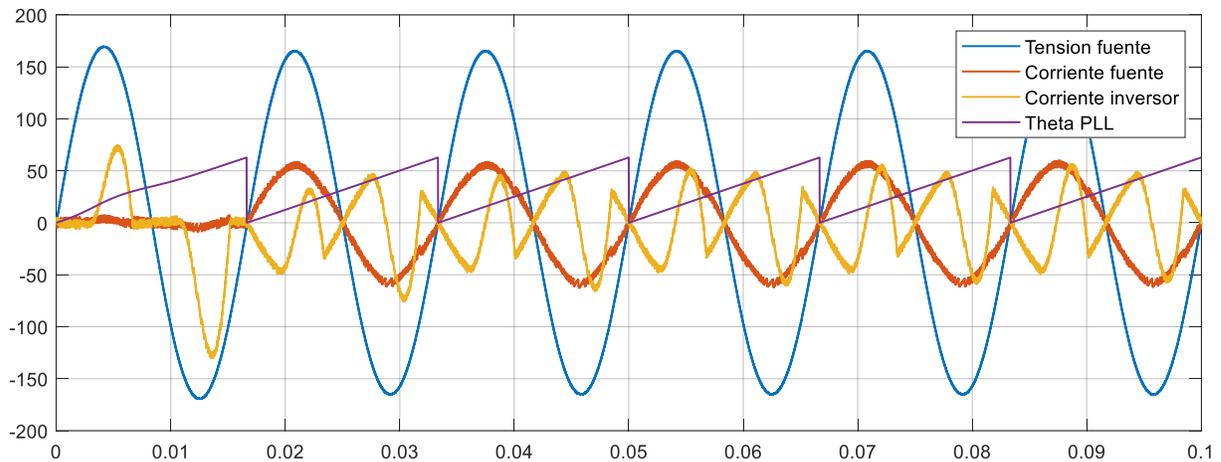


Figura 39 Prueba preliminar del sistema usando PIL

Es importante resaltar la ayuda que brinda la tecnica PIL para la evaluacion de controladores; en este proyecto se implementó mediante el software Matlab, sin embargo, existen otras alternativas en el mercado como Power Sim [34] o PLECS [35].

6 EVALUACIÓN EN EL RENDIMIENTO DEL SISTEMA

Para validar la integración entre el algoritmo SOGI-PLL y el filtro inversor se practican una serie de pruebas al sistema por medio de simulaciones, en donde se evalúa la respuesta del sistema mostrado en la Figura 37 ante diferentes perturbaciones tales como: hundimientos de tensión, cambios de fase y distorsión armónica de tensión.

6.1 COMPORTAMIENTO DEL SISTEMA BAJO CONDICIONES IDEALES

En la primera gráfica de la Figura 40 se observa el comportamiento de la corriente vista por la fuente en el PCC, después de la activación del inversor en $t=40$ ms. En la segunda gráfica de la Figura 40 se observa el comportamiento de la corriente en la carga no lineal. Esta corriente presenta una amplitud pico superior a los 100 A debido a la presencia de armónicos de orden 3, 5 y 7 generados por el tipo de carga. También se observa la corriente inyectada por el inversor a partir de $t=40$ ms para la compensación de los armónicos de corriente causados por la carga no lineal. Por último se puede apreciar la notable mejora en la forma de onda de la corriente vista por la fuente después de la activación del inversor (filtro Shunt).

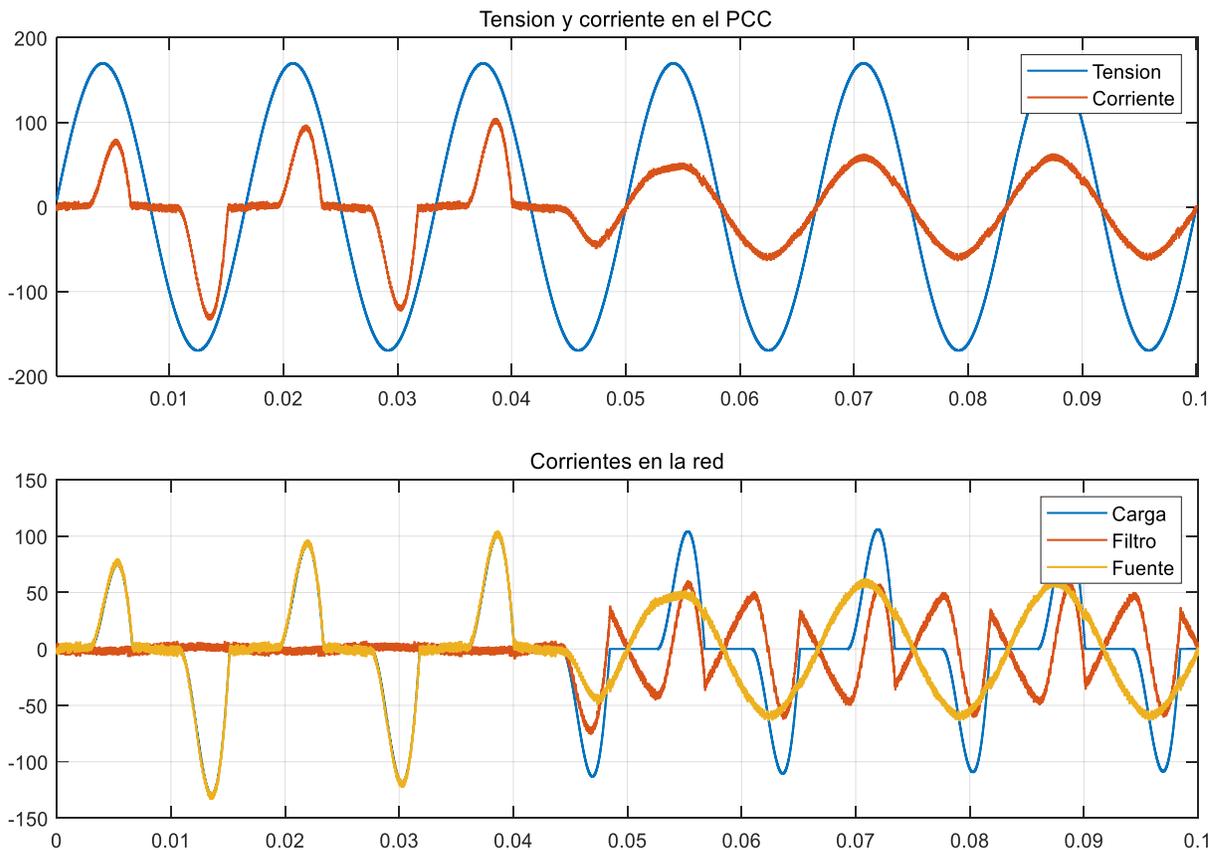


Figura 40 Compensación de armónicos usando el filtro Shunt

6.2 CASOS DE ESTUDIO

A continuación, se presentan cuatro casos de estudio realizados para la evaluación del rendimiento del algoritmo ante diferentes perturbaciones; para todos los casos se agregó la perturbación a partir del instante $t=50$ ms.

6.2.1 Caso 1. Cambio de fase

De los resultados adquiridos en las simulaciones al someter el sistema ante cambios de fase (Figura 41), se puede apreciar un cambio en la forma de onda de la corriente para el cambio de fase de 90° , este presenta un aumento aproximado del 35% en la amplitud de la corriente al ocurrir el cambio y dejando un leve cambio permanente en la forma de onda. Para cambios de 45° y 120° el sistema ofrece una respuesta satisfactoria presentando mínimos cambios en la calidad de la forma de onda.

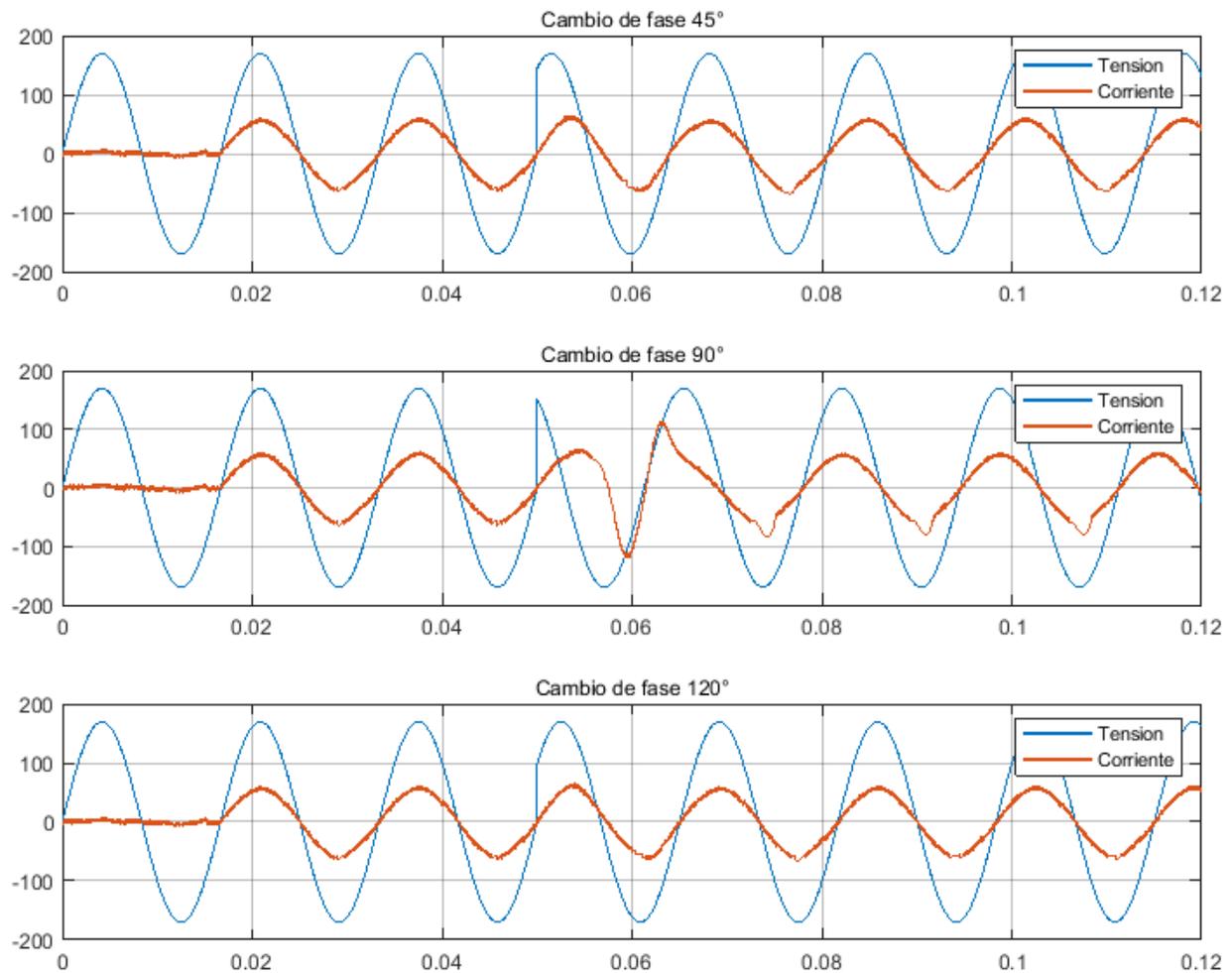


Figura 41 Respuesta del sistema ante un cambio de fase

6.2.2 Caso 2. Hundimientos de tensión

La respuesta del sistema ante diferentes hundimientos de tensión se muestra en la Figura 42, se evidencia que el sistema responde de una forma adecuada ante este tipo de perturbación; no obstante, el sistema tiende a aumentar el tiempo de estabilización a medida que aumenta el hundimiento de tensión.

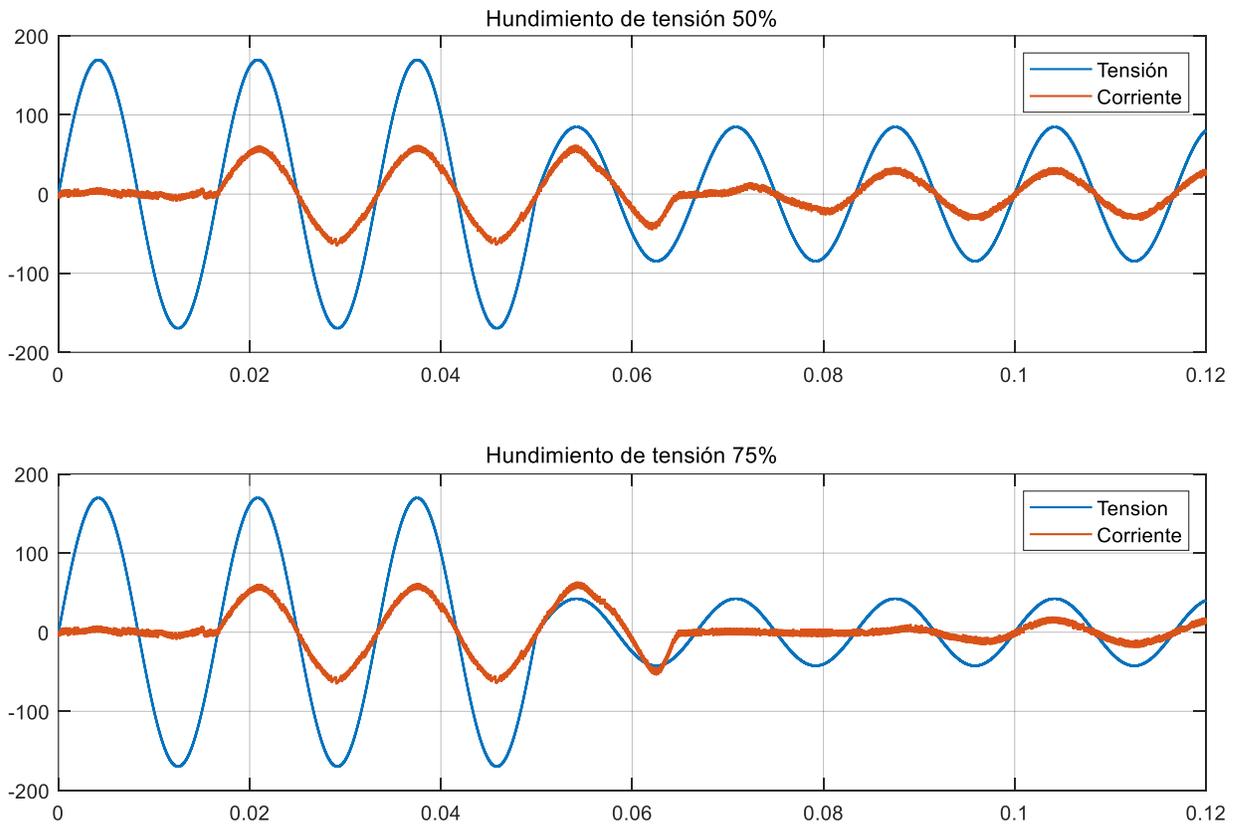


Figura 42 Respuesta del sistema ante hundimientos de tensión

6.2.3 Caso 3. Armónicos de tensión

Para esta prueba se asume que la señal de tensión presenta contaminación armónica, en el primer escenario la tensión monofásica presenta armónicos de orden 3-5 con magnitudes del 18% y 13% teniendo como referencia la amplitud de la fundamental del sistema ($170 V_{pico}$), así mismo se plantea un segundo escenario con presencia de armónicos de orden 3-5-7 y amplitudes 18%, 13% y 8% respectivamente. Ver Figura 43.

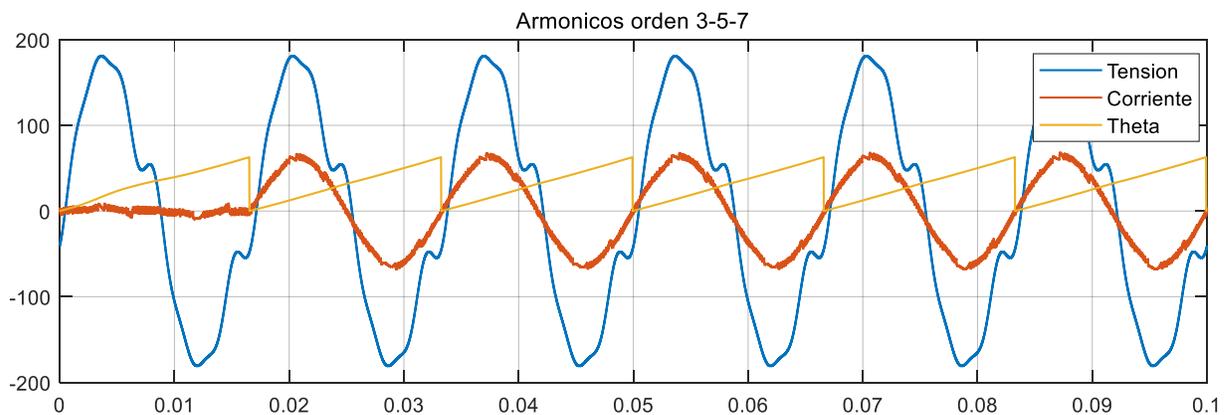
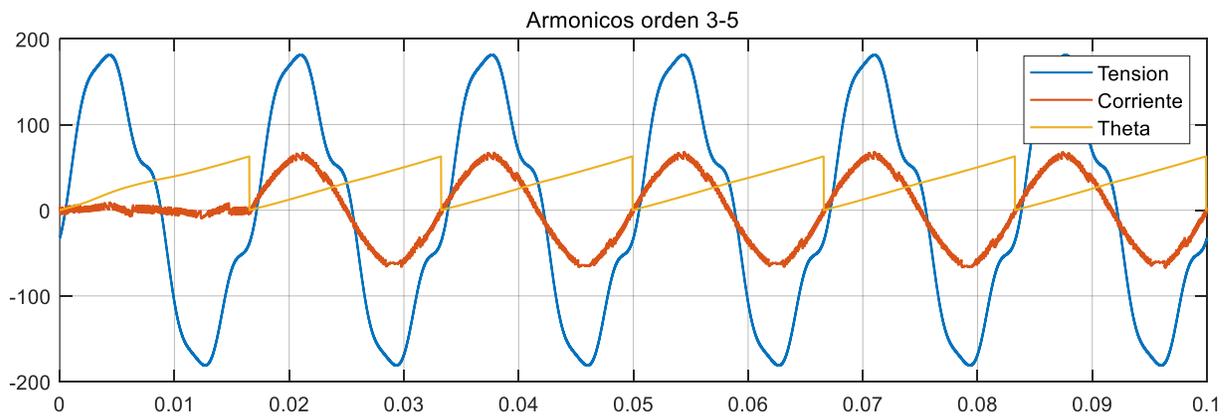


Figura 43 Respuesta del sistema ante armónicos de tensión

6.2.4 Caso 4. Múltiples perturbaciones

En la Figura 44 se somete el sistema a múltiples perturbaciones como son: hundimiento de tensión (75%), cambios de fase (120°) y armónicos de tensión (3-5-7 orden). De los resultados adquiridos se evidencia como el SOGI-PLL ofrece una respuesta rápida y precisa en un tiempo aproximado de 15 ms; la respuesta en la compensación de armónicos de corriente se alcanza en un tiempo aproximado de 35 ms; tal como se expuso anteriormente el sistema tiende a aumentar el tiempo de estabilización en función del hundimiento de tensión.

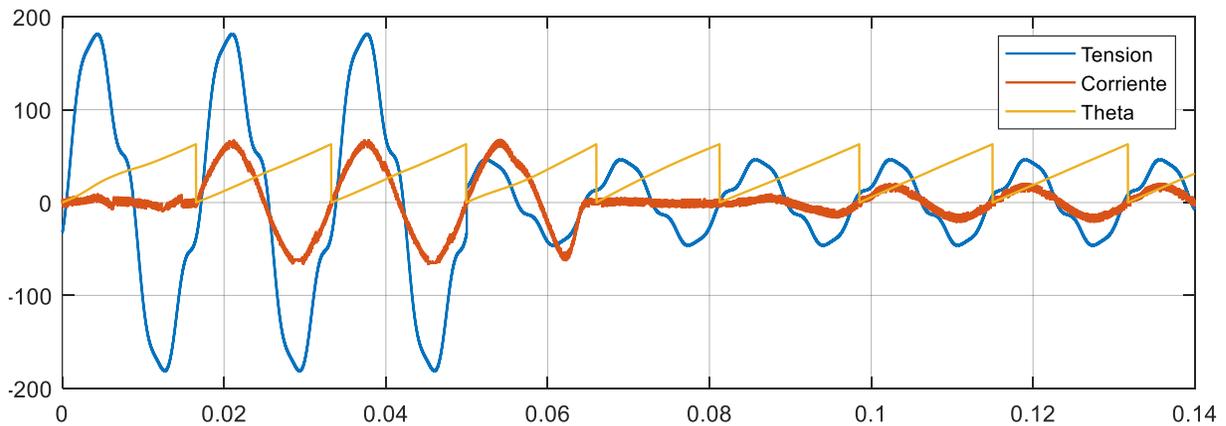


Figura 44 Respuesta del sistema ante múltiples perturbaciones

6.3 ANÁLISIS DISTORSIÓN ARMÓNICA

De los resultados obtenidos en las simulaciones y aplicando un análisis espectral en la red, se identificaron los valores de la distorsión armónica total de corriente THD_i y tensión THD_v presentes en la red antes y después de la activación del filtro.

En la Figura 45 se muestran los armónicos de corriente presentes en la red generados por la carga no lineal presente en la red, las amplitudes individuales de cada armónico se presentan como un porcentaje respecto a la amplitud pico de la señal fundamental. La distorsión armónica total de corriente THDi en la red alcanza el valor de 65.14%, se presentan armónicos de magnitud elevada como son el armónico orden 3 (58%) y orden 5 (17%); estos armónicos causarían problemas en la red debido a las corrientes que aportan, lo cual obligaría a un redimensionamiento de los conductores.

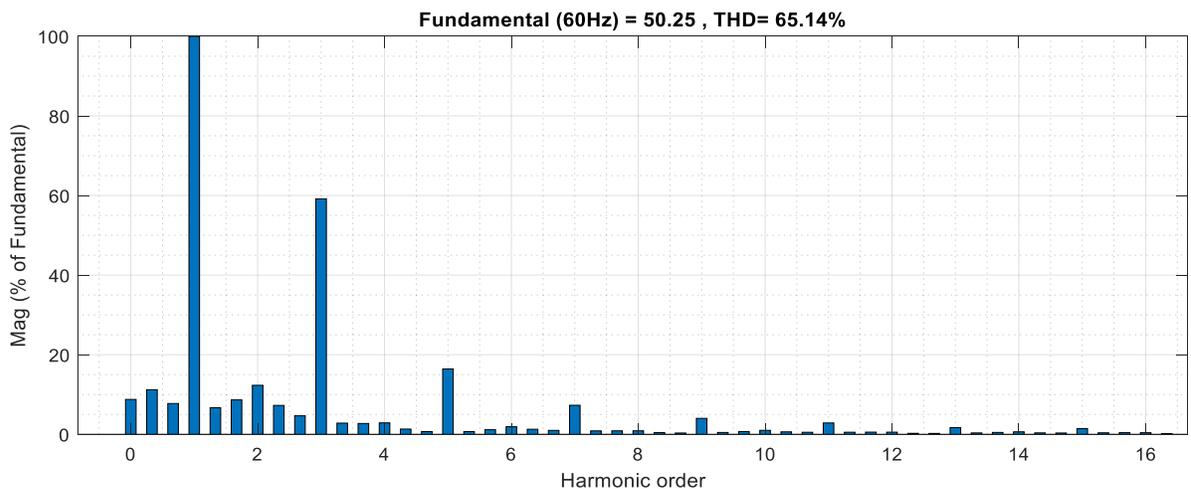


Figura 45 THDi de la red sin compensación de armónicos

En la Figura 46 la tensión de entrada presenta una distorsión armónica total de tensión THDv del 18.07% con armónicos de 3-5-7-9 orden; se asume como caso hipotético que esta tensión ya viene contaminada desde la fuente o en el PCC y no es causada por la carga no lineal, este caso es propuesto para poner a prueba el desempeño del sistema de sincronización a red y eliminación de perturbaciones.

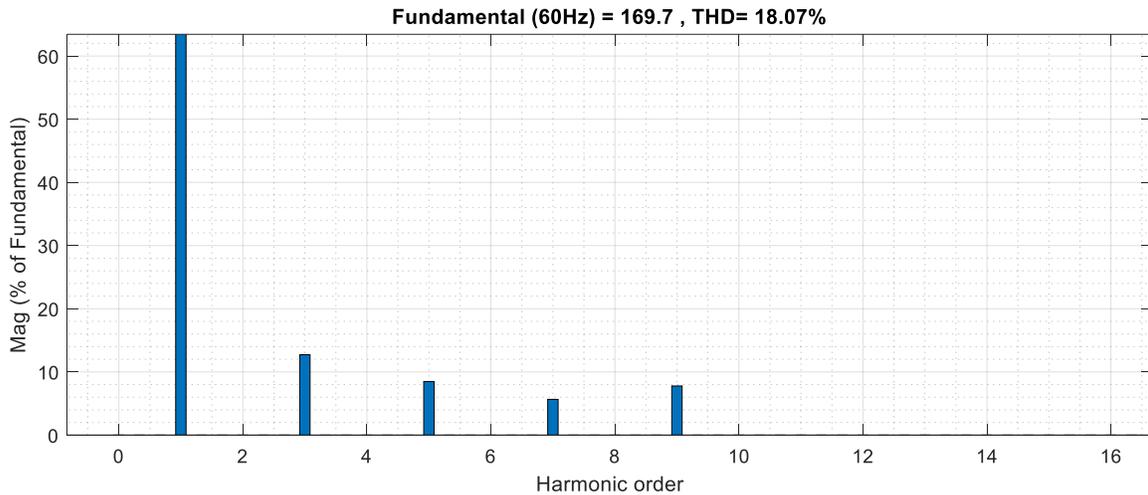


Figura 46 THDv tensión de entrada

Los resultados de la compensación de armónicos de corriente para la THDi de la Figura 45 se muestran en la Figura 47. El nivel de THDi paso de 65.14% a un 5.68%, el armónico de mayor magnitud en el sistema (3 orden) redujo su amplitud de un 58% a un 2.75%.

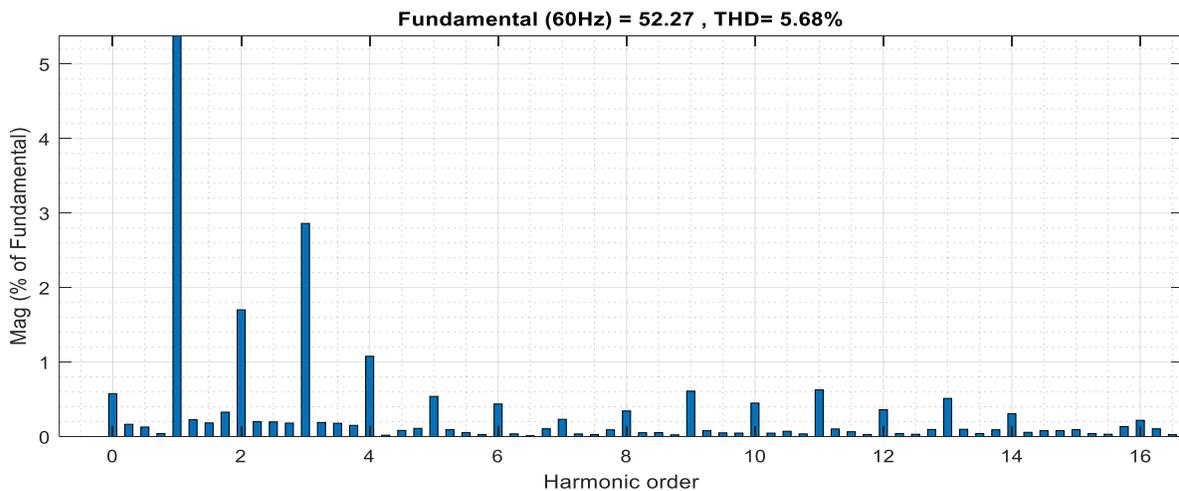


Figura 47 THDi de la red con compensación de armónicos

En este capítulo se presentaron los resultados obtenidos de cuatro casos de estudio propuestos usando la implementación del algoritmo PLL en la tarjeta de desarrollo mediante la técnica "Processor in the loop (PIL)"; se evaluó mediante un análisis espectral como el sistema propuesto para la compensación de armónicos mejoraba el nivel de distorsión armónica total. Se evidencio las ventajas que ofrece PIL en la evaluación de controladores permitiendo evaluar las limitaciones físicas en la práctica.

7 CONCLUSIONES Y TRABAJOS FUTUROS

7.1 CONCLUSIONES

7.1.1 Diseño del algoritmo

A partir de la técnica de integrador generalizado de segundo orden (SOGI), una estrategia de sincronización aplicable en redes de distribución bajo efectos de armónicos ha sido desarrollada. Esta estrategia garantiza la obtención precisa de los parámetros de la red.

Se adaptó la estructura de un algoritmo SRF-PLL típico de sistemas trifásicos para un sistema monofásico por medio de un integrador generalizado de segundo orden, este sirvió como generador de señales en cuadratura. La selectividad del SOGI fue calculada con el fin de cumplir los requerimientos de frecuencia de las redes residenciales.

El algoritmo diseñado fue sometido ante diferentes perturbaciones frecuentes en la red eléctrica con el objetivo de analizar su respuesta, los resultados obtenidos en la respuesta transitoria, tiempo de estabilización y precisión fueron satisfactorios para la mayoría de perturbaciones.

7.1.2 Diseño del inversor e implementación de la técnica PIL

Se diseñó un inversor para la inyección de corriente en una red, el dimensionamiento fue desarrollado teniendo como requerimientos la tensión y frecuencia de los sistemas monofásicos en redes residenciales, también se tomó en cuenta requerimientos para la compensación de armónicos de corriente generados por parte de un rectificador como carga no lineal en la red.

Se seleccionó dentro de las diferentes estrategias de compensación "Perfect Harmonic Cancellation PHC" para la estimación de la corriente de referencia debido a su buen desempeño [26]. Se empleó una estrategia de control por histéresis debido a su rápida respuesta dinámica [36].

El algoritmo fue implementado en una tarjeta de desarrollo LAUNCHXL-F28379D usando la técnica "Processor in the loop (PIL)", los demás componentes del sistema fueron simulados mediante la herramienta Simulink. Esta técnica permitió evaluar las restricciones físicas (hardware) del algoritmo.

7.1.3 Rendimiento del sistema

El algoritmo fue expuesto ante diferentes casos de estudio, cada uno de estos presentó varias pruebas ante una perturbación específica.

“Processor in the loop” demostró ser una técnica útil y eficaz para la evaluación de controladores en un entorno controlado, además, gracias a las características técnicas que brinda la tarjeta de desarrollo LAUNCHXL-F28379D se garantizó un buen desempeño al trabajar bajo esta técnica.

Se demostró que el algoritmo de sincronización propuesto es físicamente implementable en una tarjeta de desarrollo comercial de gama media. Lo anterior implica que la solución para compensación de armónicos en la red puede ser fácilmente replicable en la región.

7.2 TRABAJOS FUTUROS

En relación a trabajos futuros se puede destacar:

- Diseñar un nuevo algoritmo PLL para la supresión de armónicos en sistemas trifásicos.
- Diseñar un sistema de control para filtros activos de potencia a partir de algoritmos genéticos.
- Analizar el rendimiento de otros algoritmos PLL ante perturbaciones presentes en redes de distribución.
- Desarrollar un algoritmo PLL para la supresión de armónicos mediante la incorporación de un controlador difuso
- Implementar un algoritmo PLL para la compensación de potencia reactiva por medio de filtros activos de potencia.

7.3 DIVULGACIÓN CIENTÍFICA

Como resultado de este trabajo se realizó un artículo para participar en el V Encuentro de educadores e investigadores en Educación en Tecnología organizado por la Universidad Distrital Francisco José de Caldas. (Técnica Processor in The Loop (PIL))

y modelo de aprendizaje experiencial de Kolb aplicados en el desarrollo de Prácticas de laboratorio de ingeniería electrónica)

8 BIBLIOGRAFÍA

- [1] IRENA, “REmap Energy Demand and Supply by Sector,” 2020. <https://www.irena.org/Statistics/View-Data-by-Topic/Energy-Transition/REmap-Energy-Demand-and-Supply-by-Sector> (accessed Nov. 07, 2020).
- [2] C. A. Vigneshwari, S. S. S. Velan, M. Venkateshwaran, M. A. Mydeen, and V. Kirubakaran, “Performance and economic study of on-grid and off-grid solar photovoltaic system,” in *2016 International Conference on Energy Efficient Technologies for Sustainability (ICEETS)*, 2016, pp. 239–244, doi: 10.1109/ICEETS.2016.7582933.
- [3] J. A. Suarez, G. di Mauro, D. Anaut, and C. Agüero, “Analysis of the Harmonic Distortion and the Effects of Attenuation and Diversity in Residential Areas,” *IEEE Lat. Am. Trans.*, vol. 3, no. 5, pp. 53–59, 2005, doi: 10.1109/TLA.2005.1642439.
- [4] A. Safayet, I. Husain, A. Elrayah, and Y. Sozer, “Grid harmonics and voltage unbalance effect elimination for three-phase PLL grid synchronization algorithm,” in *2013 IEEE Energy Conversion Congress and Exposition*, 2013, pp. 3299–3304, doi: 10.1109/ECCE.2013.6647133.
- [5] Z. Ali, N. Christofides, L. Hadjidemetriou, E. Kyriakides, Y. Yang, and F. Blaabjerg, “Three-phase phase-locked loop synchronization algorithms for grid-connected renewable energy systems: A review,” *Renew. Sustain. Energy Rev.*, vol. 90, pp. 434–452, 2018, doi: 10.1016/j.rser.2018.03.086.
- [6] EFE, “Energía limpia aportará al mundo el 18% de la electricidad a fin de año | Economía | Portafolio,” *Portafolio*, 2019. <https://www.portafolio.co/economia/energia-limpia-aportara-al-mundo-el-18-de-la-electricidad-a-fin-de-ano-533282> (accessed Oct. 23, 2020).
- [7] L. R. Valer and R. Zilles, “Potencial de uso de sistemas fotovoltaicos sin baterías en aplicaciones productivas rurales,” *Av. en Energías Renov. y Medio Ambient.*, vol. 15, 2011.
- [8] Q. Hassan, “Evaluation and optimization of off-grid and on-grid photovoltaic power system for typical household electrification,” *Renew. Energy*, vol. 164, pp. 375–390, 2020, doi: <https://doi.org/10.1016/j.renene.2020.09.008>.
- [9] L. Hadjidemetriou, E. Kyriakides, and F. Blaabjerg, “A Robust Synchronization to Enhance the Power Quality of Renewable Energy Systems,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 8, pp. 4858–4868, 2015, doi: 10.1109/TIE.2015.2397871.
- [10] I. Ullah and M. Ashraf, “Comparison of Synchronization Techniques Under Distorted Grid Conditions,” *IEEE Access*, vol. 7, pp. 101345–101354, 2019, doi: 10.1109/ACCESS.2019.2930530.
- [11] W. Sawaengsinkasikit, K. Pipek, and V. Tipsuwanporn, “A single-phase PWM inverter controlling based on PLL compensation with nonlinear loads,” in *2009 ICCAS-SICE*, 2009, pp. 871–876.
- [12] “LAUNCHXL-F28379D C2000 Delfino MCU F28379D LaunchPad™ development kit | TI.com,” *LAUNCHXL-F28379D C2000 Delfino MCU F28379D LaunchPad™*

development kit | TI.com, 2016. <https://www.ti.com/tool/LAUNCHXL-F28379D> (accessed Oct. 29, 2020).

- [13] M. Lars Rosqvist, Roger Aarenstrup, and Kristian Lindqvist, "Processor-In-the-Loop Simulation on Embedded Linux Boards - MATLAB & Simulink," 2016. <https://la.mathworks.com/company/newsletters/articles/processor-in-the-loop-simulation-on-embedded-linux-boards.html> (accessed Oct. 29, 2020).
- [14] S. U. K. Radhika Urhekar, "Study and Simulation of SOGI PLL for Single Phase Grid Connected System," *IJSRSET*, 2016.
- [15] H. Z. Butt, M. Awon, and H. A. Khalid, "Performance Analysis of a Continuous and Discretized Second Order Generalized Integrator based Phase Lock Loop for Single Phase Grid Connected PV Systems," in *2018 International Conference on Power Generation Systems and Renewable Energy Technologies (PGSRET)*, 2018, pp. 1–6, doi: 10.1109/PGSRET.2018.8686038.
- [16] F. D. Freijedo, J. Doval-Gandoy, O. Lopez, and C. Martinez-Penalver, "New algorithm for grid synchronization based on Fourier series," in *2007 European Conference on Power Electronics and Applications*, 2007, pp. 1–6, doi: 10.1109/EPE.2007.4417217.
- [17] T. A. George and D. Bones, "Harmonic power flow determination using the fast Fourier transform," *IEEE Trans. Power Deliv.*, vol. 6, no. 2, pp. 530–535, 1991, doi: 10.1109/61.131107.
- [18] Y. Han, M. Luo, X. Zhao, J. M. Guerrero, and L. Xu, "Comparative Performance Evaluation of Orthogonal-Signal-Generators-Based Single-Phase PLL Algorithms—A Survey," *IEEE Trans. Power Electron.*, vol. 31, no. 5, pp. 3932–3944, May 2016, doi: 10.1109/TPEL.2015.2466631.
- [19] N. R. N. Ama, F. O. Martinz, L. Matakas, and F. Kassab, "Phase-Locked Loop Based on Selective Harmonics Elimination for Utility Applications," *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 144–153, 2013, doi: 10.1109/TPEL.2012.2195506.
- [20] A. Antonelli, S. Giarnetti, and F. Leccese, "PLL system for harmonic analysis," in *2011 10th International Conference on Environment and Electrical Engineering*, May 2011, pp. 1–5, doi: 10.1109/EEEIC.2011.5874581.
- [21] M. Mellouli, M. Hamouda, J. Ben Hadj Slama, and K. Al-Haddad, "Comparative study between the improved schemes of MAF-based robust PLLs," in *2015 International Conference on Sustainable Mobility Applications, Renewables and Technology (SMART)*, Nov. 2015, pp. 1–6, doi: 10.1109/SMART.2015.7399224.
- [22] S. Prakash, J. K. Singh, R. K. Behera, and A. Mondal, "Comprehensive Analysis of SOGI-PLL Based Algorithms for Single-Phase System," in *2019 National Power Electronics Conference (NPEC)*, 2019, pp. 1–6, doi: 10.1109/NPEC47332.2019.9034724.
- [23] S. Golestan, J. M. Guerrero, and J. C. Vasquez, "Single-Phase PLLs: A Review of Recent Advances," *IEEE Trans. Power Electron.*, vol. 32, no. 12, pp. 9013–9030, 2017, doi: 10.1109/TPEL.2017.2653861.
- [24] C. Xiao, X. Pei, Y. Liu, Y. Lu, C. Wang, and F. Xu, "Adaptive Harmonic Current Compensation Method with SAPF based on SOGI," in *2018 IEEE International Power*

Electronics and Application Conference and Exposition (PEAC), Nov. 2018, pp. 1–6, doi: 10.1109/PEAC.2018.8590342.

- [25] IEEE, “IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems,” *IEEE Std 519-2014 (Revision IEEE Std 519-1992)*, pp. 1–29, 2014, doi: 10.1109/IEEESTD.2014.6826459.
- [26] M. I. M. Montero, E. R. Cadaval, and F. B. Gonzalez, “Comparison of Control Strategies for Shunt Active Power Filters in Three-Phase Four-Wire Systems,” *IEEE Trans. Power Electron.*, vol. 22, no. 1, pp. 229–236, 2007, doi: 10.1109/TPEL.2006.886616.
- [27] N. Mohan, T. M. Undeland, and W. P. Robbins, *Electrónica de potencia: convertidores, aplicaciones y diseño*. McGraw Hill, 2009.
- [28] “FGY100T65SCDT - 650 V, 100 A Field Stop Trench IGBT Short Circuit Rated IGBT | Enhanced Reader.” [moz-extension://92470227-4631-4265-b5b8-f1aaff2acb82/enhanced-reader.html?openApp&pdf=https%3A%2F%2Fco.mouser.com%2Fdatasheet%2F%2F308%2FFGY100T65SCDT-D-1809231.pdf](https://www.mouser.com/datasheet/2/2/F308/2FFGY100T65SCDT-D-1809231.pdf) (accessed Nov. 08, 2020).
- [29] “IR2110(S)-IR2113(S) Datasheet-500V/600V high-side and low-side gate driver IC with shutdown | Enhanced Reader.” [moz-extension://84faa52e-f5db-4039-8b75-4ec27399494f/enhanced-reader.html?openApp&pdf=https%3A%2F%2Fwww.infineon.com%2Fdgd%2FInfineon-IR2110-DataSheet-v01_00-EN.pdf%3FfileId%3D5546d462533600a4015355c80333167e](https://www.infineon.com/dgdl/Infineon-IR2110-DataSheet-v01_00-EN.pdf?fileId%3D5546d462533600a4015355c80333167e) (accessed Nov. 05, 2020).
- [30] “Sensor de corriente SCT-013-000 100A 50mA | HeTPro.” <https://hetpro-store.com/sensor-de-corriente-sct-013-000-100a/> (accessed Nov. 08, 2020).
- [31] G. Ellis, “Chapter 12 - Nonlinear Behavior and Time Variation,” in *Control System Design Guide (Fourth Edition)*, Fourth Edi., G. Ellis, Ed. Boston: Butterworth-Heinemann, 2012, pp. 235–260.
- [32] “launchxl-f28379d_launchxl-f28379d-angled.jpg (Imagen JPEG, 640 × 360 píxeles).” https://www.ti.com/diagrams/launchxl-f28379d_launchxl-f28379d-angled.jpg (accessed Nov. 08, 2020).
- [33] “Setup and Configuration - MATLAB & Simulink - MathWorks América Latina.” <https://la.mathworks.com/help/supportpkg/texasinstrumentsc2000/setup-and-configuration.html> (accessed Nov. 08, 2020).
- [34] “PSIM Processor in the Loop (PIL) | PSIM Software |Powersim, Inc.” <https://powersimtech.com/products/psim/pil-module-2/> (accessed Nov. 08, 2020).
- [35] “THE SIMULATION SOFTWARE PREFERRED BY POWER ELECTRONICS ENGINEERS PROCESSOR-IN-THE-LOOP (PIL) Field-Oriented Motor Control on TI C2000 TM MCU.”
- [36] M. R. Lumberras, “TESIS DOCTORAL FILTROS ACTIVOS DE POTENCIA PARA LA COMPENSACIÓN INSTANTÁNEA DE ARMÓNICOS Y ENERGÍA REACTIVA.”